Mateusz KUC, Wojciech SUŁEK, Dariusz KANIA

Politechnika Śląska, Instytut Elektroniki

doi:10.15199/48.2020.09.03

Sprzętowa implementacja nieregularnego dekodera QC-LDPC w strukturze FPGA

Streszczenie. *W pracy przedstawiono sprzętową implementację dekodera kodów QC-LDPC w strukturze FPGA. Zaprezentowany dekoder może być skonfigurowany do obsługi algorytmu Min-Sum lub Normalized Min-Sum. Normalizację w algorytmie Normalized Min-Sum wykonano za pomocą układów kombinacyjnych. Przedstawiono również porównanie dekoderów o różnych rozmiarach magistral propagacji wiadomości (ang.* beliefs*). Badania eksperymentalne prowadzono z wykorzystaniem układu FPGA rodziny Cyclone V firmy Intel oraz kodów LDPC ze standardów 802.11ad i 802.16e.*

Abstract. *The paper presents hardware implementation of QC-LDPC decoder (Quasi-Cyclic Low-density Parity-Check) in FPGA structure. In the presented decoder, Min-Sum and Normalized Min-Sum algorithms can be utilized. Normalization in the Normalized Min-Sum algorithm is performed using LookUp Tables (LUTs). a comparison of decoder operating with different data bus sizes is also shown. All presented results were obtained in the Intel Cyclone V system for 802.11ad (WiGig) and 802.16e (WiMax) standards.* ***(Hardware implementation of the QC-LDPC decoder in the FPGA structure)***

Słowa kluczowe: QC-LDPC, FPGA, Min-Sum, Normalized Min-Sum, 802.11ad, 802.16e, WiGig, WiMax
Keywords: QC-LDPC, FPGA, Min-Sum, Normalized Min-Sum, 802.11ad, 802.16e, WiGig, WiMax

Wprowadzenie

Wraz z rozwojem technologii coraz większe znaczenie ma poprawne przesyłanie danych w kanale transmisyjnym. Ludzie przesyłają coraz więcej informacji w coraz krótszym czasie. Wszyscy wiedzą, jak ważne są informacje medyczne lub biznesowe i tym samym jak istotna jest bezbłędna transmisja tych danych. Podczas transmisji w kanale dane mogą być zakłócane przez różne niepożądane sygnały. Kodowanie kanałowe pozwala wykryć błędy i zrekonstruować prawidłowe dane. Kody LDPC są jednymi z najlepszych kodów charakteryzującymi się bardzo dobrymi właściwościami korekcyjnymi. Dzięki swoim właściwościom kody LDPC znajdują się blisko granicy Shannona [1].

W 1962r. R. G. Gallager zaprezentował kody LDPC [2]. Ówczesna technologia nie pozwalała na praktyczne zastosowanie tych kodów, w efekcie czego środowisko naukowców utraciło na długi czas zainteresowanie tymi kodami. W 1999r. D. J. C. MacKay ponownie zwrócił uwagę naukowców na znakomite własności kodów LDPC [3]. Około 2001r. zaprezentowano pierwszą implementację sprzętową dekodera LDPC w strukturze FPGA (np. algorytm Min-Sum). Od 2003r. kody LDPC są używane w standardach DVB-S2 i DVB-T2 (telewizja cyfrowa) [4]. Od 2008r. są używane w sieciach Ethernet 10-Gbase-T [5]. Następnie kody LDPC zastosowano w standardach ITU-T G.hn [6] 802.11ad (WiGig) [7], 802.11n/ac/ax (WiFi) i 802.16e (WiMAX) [8]. W 2015r. przedstawiono jedną z pierwszych informacji na temat wykorzystania kodów LDPC w sieciach 5G [10] [11].

Dany kod LDPC jest definiowany przez jego macierz kontrolną $\mathbf{H}$ (w skrócie macierz $\mathbf{H}$), a jej struktura ma bezpośredni związek ze strukturą dekodera LDPC. Macierz $\mathbf{H}$ jest macierzą rzadką i ma odzwierciedlenie w tzw. grafie Tannera [12]. Macierz może być regularna, czyli składać się z takiej samej liczby miejsc niezerowych w każdym wierszu i kolumnie. W przeciwnym razie macierz nazywana jest macierzą nieregularną. Szczególnie istotne ze względów implementacyjnych są kody QC (ang. Quasi-Cyclic) [8] [9], dla których macierz $\mathbf{H}$ składa się z wielu podmacierzy kwadratowych o wymiarze P. Tego typu macierze przystosowane są do efektywnej implementacji sprzętowej równoległego i szeregowo-równoległego dekodera QC-LDPC.

Sprzętowy dekoder LDPC może być szeregowy, szeregowo-równoległy lub równoległy. Najmniejszą przepustowością, ale także najmniejszym zapotrzebowaniem sprzętowym charakteryzuje się dekoder szeregowy. Dekoder równoległy charakteryzuje się największą przepustowością i zapotrzebowaniem sprzętowym. Dekoder szeregowo-równoległy jest rozwiązaniem kompromisowym, będącym najlepszym wyborem w większości zastosowań.

Jednym z najważniejszych cech dekodera LDPC jest zaimplementowany algorytm dekodowania, a właściwie – sposób przeliczania wiadomości w jednostkach obliczeniowych, który jest zasadniczo niezależny od wybranej architektury (np. szeregowo-równoległej). Popularne algorytmy znane są jako Min-Sum i Normalized Min-Sum [13]. Algorytm Normalized Min-Sum różni się od algorytmu Min-Sum dodatkowym parametrem normalizującym α, który nieznacznie zmienia wyniki obliczeń pozwalając tym samym osiągnąć lepsze wyniki dekodowania.

Podstawowym nowatorskim wkładem niniejszej pracy jest przedstawienie implementacji nieregularnego dekodera QC-LDPC standardów WiMax i WiGig, w którym układ normalizujący algorytmu Normalized Min-Sum realizowany jest za pomocą układów kombinacyjnych realizowanych w blokach typu LUT. Praca stanowi kontynuację badań przedstawionych w [14], gdzie przedstawiono regularny dekoder LDPC dla jednego typu macierzy kontrolnej $\mathbf{H}$. W rozdziale 3 przedstawiono sprzętową implementację szeregowo-równoległego dekodera QC-LDPC w układzie FPGA Cyclone V firmy Intel wykonanego w technologii 28nm. W rozdziale 4 przedstawiono sprzętową weryfikację algorytmów Min-Sum i Normalized Min-Sum o różnych rozmiarach magistral danych. Zaprezentowane dekodery nieregularne przygotowano dla standardów WiMax i WiGig. Otrzymane wyniki porównano z rozwiązaniami znanymi z literatury. Całość kończy podsumowanie, w którym zawarto kierunki dalszych prac.

Macierz kontrolna dla standardów WiMax i WiGig

Kody LDPC są definiowane przez macierz $\mathbf{H}$, która ma wymiary $M \times N$. Przykładową macierz $\mathbf{H}$ kodu typu QC przedstawiono na rys. 1, gdzie M jest równe 8 natomiast N wynosi 16. Macierz $\mathbf{H}$ składa się z ośmiu podmacierzy o wymiarach $P \times P$, gdzie P wynosi 4. Taka podmacierz będzie w skrócie nazywana macierzą $\mathbf{P}$ [15]. Macierz $\mathbf{H}$ można zapisać w postaci rozkładu podmacierzy, gdzie „X" oznacza macierz zerową a każda inna wartość oznacza macierz jednostkową, w której kolumny przesunięto cyklicznie o wskazaną liczbę (rys. 1). Dla tego typu kodów QC-LDPC, zapisanie $\mathbf{H}$ w pamięci (RAM/ROM) dekodera wymaga tylko zapisania rozkładu podmacierzy $\mathbf{P}$ i wartości przesunięć cyklicznych, co jest wykorzystywane przy implementacji dekoderów szeregowo-równoległych i równoległych (np. [16]).

Rys. 1. Przykładowa macierz kontrolna

Jedną z możliwych macierzy kontrolnych standardu 802.16e (WiMax) przedstawiono na rys. 2. Rozmiar podmacierzy P wynosi 96, rozmiar macierzy $\mathbf{H}$ to 1152×2304, a stopa kodu $R = 1/2$ [17]. Macierz przeznaczona dla standardu WiMax jest stosunkowo duża, dzięki czemu kod LDPC osiąga bardzo dobre parametry detekcyjno-korekcyjne.

X	94	73	X	X	X	X	X	55	83	X	X	7	0	X	X	X	X	X	X	X	X	X	X
X	27	X	X	X	22	79	9	X	X	X	12	X	0	0	X	X	X	X	X	X	X	X	X
X	X	X	24	22	81	X	33	X	X	X	0	X	X	0	0	X	X	X	X	X	X	X	X
61	X	47	X	X	X	X	X	65	25	X	X	X	X	X	0	0	X	X	X	X	X	X	X
X	X	39	X	X	X	84	X	X	41	72	X	X	X	X	X	0	0	X	X	X	X	X	X
X	X	X	X	46	40	X	82	X	X	X	79	0	X	X	X	X	0	0	X	X	X	X	X
X	X	95	53	X	X	X	X	X	14	18	X	X	X	X	X	X	X	0	0	X	X	X	X
X	11	73	X	X	X	2	X	X	47	X	X	X	X	X	X	X	X	X	0	0	X	X	X
12	X	X	X	83	24	X	43	X	X	X	51	X	X	X	X	X	X	X	X	0	0	X	X
X	X	X	X	X	94	X	59	X	X	70	72	X	X	X	X	X	X	X	X	X	0	0	X
X	X	7	65	X	X	X	X	39	49	X	X	X	X	X	X	X	X	X	X	X	X	0	X
43	X	X	X	X	66	X	41	X	X	X	26	7	X	X	X	X	X	X	X	X	X	X	0

Rys. 2. Macierz przesunięć QC-LDPC standardu 802.16e (WiMax) dla $P = 96$ i $R = 1/2$

Macierz $\mathbf{H}$ kodu QC-LDPC dla standardu 802.11ad (WiGig) przedstawiono na rys. 3. Rozmiar podmacierzy P wynosi 42, rozmiar macierzy $\mathbf{H}$ to 336×672, a stopa kodu $R = 1/2$ [7]. Macierz standardu WiGig jest mniejsza niż standardu WiMax i charakteryzuje się słabszymi parametrami detekcyjno-korekcyjnymi. W przypadku znacznej liczby przekłamań możliwe staje się wykrycie tej sytuacji i skorzystanie z procedur retransmisji.

40	X	38	X	13	X	5	X	18	X	X	X	X	X	X	X
X	36	X	31	X	7	X	34	X	10	41	X	X	X	X	X
34	X	35	X	27	X	X	30	2	1	X	X	X	X	X	X
X	27	X	18	X	12	20	X	X	X	15	6	X	X	X	X
35	X	41	X	40	X	39	X	28	X	X	3	28	X	X	X
X	31	X	23	X	21	X	20	X	X	12	X	X	0	13	X
29	X	0	X	X	22	X	4	X	28	X	27	X	23	X	X
X	22	X	34	31	X	14	X	4	X	X	X	15	X	22	24

Rys. 3. Macierz przesunięć QC-LDPC standardu 802.11ad (WiGig) dla $P = 42$ i $R = 1/2$

Algorytm dekodowania QC-LDPC

Praktycznie wykorzystywane algorytmy dekodowania LDPC należą do klasy iteracyjnych algorytmów propagacji wartości wiarygodności (ang. *belief propagation* - BP). Ze względu na dobre własności, najczęściej stosowane algorytmy wyznaczania wartości wiarygodności (wiadomości propagowanych w algorytmie) to Min-Sum lub Normalized Min-Sum [13]. Proces dekodowania algorytmem Min-Sum można przedstawić w następujący sposób:

1. *Inicjalizacja*: Przypisanie wartości wejściowych, które są prawdopodobieństwami LLR (ang. Log-Likelyhood Ratio) (dla wszystkich $m \in \mathcal{M}(n)$ i $n \in (1, M)$):

$$Q_{nm} := L(x_n|y_n) = \ln\left(\frac{P(x_n = 0|y_n)}{P(x_n = 1|y_n)}\right) \tag{1}$$

2. *Węzły kontrolne*: Wyznaczanie wartości minimalnych (dla wszystkich $n \in \mathcal{N}(m)$ i $m \in (1, N)$): (2)

$$R_{mn} := \left[\prod_{k \in \mathcal{N}(m)\setminus n} \operatorname{sgn}(Q_{km})\right] \min_{k \in \mathcal{N}(m)\setminus n} |Q_{km}|$$

3. *Węzły bitowe*: Sumowanie wartości minimalnych i wejściowych LLR (dla wszystkich $m \in \mathcal{M}(n)$ i $n \in (1, M)$):

$$Q_{nm} := L(x_n|y_n) + \sum_{k \in \mathcal{M}(n)\setminus m} R_{kn} \tag{3}$$

4. *Prawdopodobieństwa pseudo-posteriori*: Wyznaczanie prawdopodobieństw pseudo-posteriori (dla wszystkich n):

$$Q_n := L(x_n|y_n) + \sum_{k \in \mathcal{M}(n)} R_{kn} \tag{4}$$

5. *Twarde decyzje*: Podejmowanie próbnych, twardych decyzji (dla wszystkich $n \in (1, M)$):

$$\hat{x}_n := \begin{cases} 1 & \text{gdy } Q_n < 0 \\ 0 & \text{gdy } Q_n \geq 0 \end{cases} \tag{5}$$

6. *Weryfikacja równań kontrolnych*:

$$\mathbf{H}\hat{x}^T = 0 \tag{6}$$

7. *Kolejna iteracja*: Jeżeli równania kontrolne zostały spełnione dekodowanie zostaje zakończone. W przeciwnym razie rozpoczyna się kolejna iteracja dekodowania zaczynając od węzłów kontrolnych (2), chyba że przekroczono limit iteracji.

gdzie:

$\mathbf{x} = [x_1, x_2, \ldots, x_n]$ - wektor kodowy,
$\mathbf{y} = [y_1, y_2, \ldots, y_n]$ - wektor odebrany,
Q_{nm} - wartość LLR (*Log-Likelihood Ratio*) wiarygodności z n-tego wierzchołka bitowego do m-tego wierzchołka kontrolnego grafu Tannera,
$L(x_n|y_n)$ - LLR prawdopodobieństw *a priori* dla bitu n-tego,
$\mathcal{N}(m)$ - numery kolumn w macierzy kontrolnej $\mathbf{H}$ zawierających jedynkę w wierszu m-tym,
$\mathcal{M}(n)$ - numery wierszy w macierzy kontrolnej $\mathbf{H}$ zawierających jedynkę w kolumnie n-tej,
R_{mn} - wiadomość z m-tego wierzchołka kontrolnego do n-tego wierzchołka bitowego,
$\hat{x}_n$ - wektor zdekodowany.

Znany jest fakt [18], że istotnie lepsze własności korekcyjne można uzyskać dodając parametr normalizujący w równaniu (2). Równanie (2) przyjmie wówczas postać (7), gdzie $\beta > 1$ to parametr normalizujący. Równanie (7) można zapisać w postaci (8), gdzie $\alpha = 1/\beta$ oraz $0 < \alpha < 1$. Parametr α najczęściej jest dobierany eksperymentalnie.

$$R_{mn} := \left[\prod_{k \in \mathcal{N}(m)\setminus n} \operatorname{sgn}(Q_{km})\right] \frac{\min_{k \in \mathcal{N}(m)\setminus n} |Q_{km}|}{\beta} \tag{7}$$

$$R_{mn} := \left[\prod_{k \in \mathcal{N}(m)\setminus n} \operatorname{sgn}(Q_{km})\right] \min_{k \in \mathcal{N}(m)\setminus n} |Q_{km}| \times \alpha \tag{8}$$

Budowa dekodera QC-LDPC

Schemat blokowy dekodera nieregularnego QC-LDPC przestawiono na rys. 4. Początkowo układ obsługi komunikacji odbiera dane *a priori* zapisując je w pamięci $L(x_n|y_n)$. Otrzymane dane zostają przekazane do układu inicjalizacji, a następnie przesunięte w prawo za pomocą układu SR (ang. Shift Right). Jednorazowo zostaje przesunięty wektor danych o rozmiarze P. Liczba pozycji, o które należy przesunąć wektor danych, jest zdefiniowana w pamięci przesunięć S (ang. Shift), która zawiera zapisane informacje o przesunięciu dla każdej podmacierzy $\mathbf{P}$. Macierze przesunięć dla standardów WiMax i WiGig przedstawiono odpowiednio na rys. 2 i rys. 3. Przesunięte wektory zostają zapisane do pamięci Q_{nm} zgodnie z równaniem (1).

Jednostka obliczająca wiadomości węzłów kontrolnych pobiera dane z pamięci Q_{nm} wyznaczając wartość minimalną i znak według równania (2). Otrzymany wynik może zostać zmodyfikowany przez parametr normalizujący α zgodnie z równaniem (8). Wyznaczone wartości zostają zapisane do pamięci R_{mn}.

Jednostka obliczająca wiadomości węzłów bitowych pobiera dane z pamięci R_{mn} a następnie przesuwa je w lewo za pomocą układu SL (ang. Shift Left). Jednostka wyznacza sumy wartości minimalnych zapisanych w pamięciach R_{mn} i $L(x_n|y_n)$ zgodnie z równaniem (3). Wzory (3) i (4) są do siebie zbliżone więc wyznaczanie wartości Q_{nm} i Q_n odbywa się jednocześnie w układzie obliczania węzłów bitowych. Otrzymane wyniki zostają zapisane w pamięciach Q_{nm} i Q_n.

W kolejnym etapie następuje weryfikacja równań kontrolnych na podstawie równania (6). Zdekodowane dane z pamięci Q_n zostają przekazane do układu komunikacji i są odsyłane z dekodera jeżeli wszystkie równania kontrolne zostały spełnione. W przeciwnym razie następuje ponowne wykonanie wszystkich obliczeń zaczynając od jednostki obliczającej wiadomości węzłów kontrolnych (równanie (2)). Dekodowanie może zostać przerwane jeżeli osiągnięto założoną, maksymalną liczbę iteracji. Każdy z przedstawionych elementów dekodera QC-LDPC posiada własny układ sterujący, który odpowiada za jego prawidłowe działanie.

Rys. 4. Schemat blokowy dekodera nieregularnego kodu QC-LDPC

Implementacja układu normalizacji

Schemat blokowy jednostki obliczającej wiadomości węzłów kontrolnych R_{mn}, która zawiera układ normalizacji przedstawiono na rys. 5. Jednostka pobiera dane z pamięci Q_{nm}, które są konwertowane z zapisu U2 (uzupełnienie do 2) na zapis ZM (znak-moduł). Następnie dane przekazywane są do odpowiedniego wyjścia demultipleksera (DMUX). Liczniki adresujące demultiplekser i multiplekser (MUX) są częścią układu sterującego jednostką obliczającą wiadomości węzłów kontrolnych. Demultiplekser posiada tyle wyjść ile wynosi największa liczba miejsc niezerowych w macierzy $\mathbf{H}$ dla pojedynczego wiersza. Ponieważ dekodery nieregularne QC-LDPC charakteryzują się zmienną liczbą niezerowych elementów w wierszu, pobierana jest tylko odpowiednia paczka danych z pamięci Q_{nm}. Gdy paczka pobieranych danych jest mniejsza od maksymalnej możliwej, pozostałe wyjścia demultipleksera przyjmują wartość maksymalną (dodatnią) zależną od rozmiaru magistrali danych. Takie dane nie zakłócą działania układu wyznaczającego wartość minimalną i znak.

Rys. 5. Schemat blokowy jednostki obliczającej węzły kontrolne R_{mn}

Wyznaczenie wartości minimalnej i znaku odbywa się w układzie MIN-ZNAK. Otrzymane wyniki należy pomnożyć przez parametr α, który przyjmie wartości zgodnie z równaniem (8). Następnie dane znajdujące się na wejściach multipleksera (MUX) są konwertowane z zapisu ZM do U2 i zapisywane w pamięci R_{mn}.

Sprzętowa implementacja układu mnożącego przez wartość α może być realizowana w postaci układu sekwencyjnego zawierającego rejestr przesuwający oraz sumator. Tego typu rozwiązanie wymusza stałość parametru α dla każdej wartości otrzymanej z układu MIN-ZNAK. Zastosowanie rejestrów i sumatora ogranicza możliwości mnożenia do wartości będących sumą liczb podzielnych przez 2, np. $\alpha = 0.75 = 0.5 + 0.25$, gdzie mnożenie przez wartości 0.5 i 0.25 można osiągnąć przesuwając dane odpowiednio o jeden lub dwa bity. Dla magistral danych mniejszych od 6-bitowych, implementacja układu mnożenia za pomocą rejestrów przesuwających i sumatora często jest niewykonalna z powodu braku możliwości przesunięcia danych o pożądaną liczbę pozycji w rejestrze.

W przypadku implementacji układu w strukturze FPGA możliwe jest wykonanie prostego mnożenia w postaci układu kombinacyjnego odwzorowanego w blokach typu LUT. Na rys. 6 przedstawiono siatki Karnaugha dla kilku przykładowych parametrów α i magistrali 4-bitowej. Bit znaku nie ma wpływu na wynik normalizacji. W siatkach zamieszono tylko wartość modułu. Należy zauważyć, że wartości 0.625, 0.6875, 0.75 i 0.8125 można zaimplementować zarówno za pomocą układów kombinacyjnych jak i rejestrów. Układ kombinacyjny może zostać zrealizowany na jednym bloku typu LUT dla magistrali 4-bitowej.

Parametr $\alpha = 1$ jest również rozważany, co odpowiada dekodowaniu QC-LDPC bez normalizacji, czyli algorytmem Min-Sum. Funkcja logiczna przedstawiona w ostatniej siatce Karnaugha, opisanej jako „Propozycja", została dobrana eksperymentalnie. Celem eksperymentu jest pokazanie, czy warto używać innych wartości parametru α, możliwych do uzyskania w zaproponowanej implementacji dekodera, ukierunkowanej na architektury FPGA. Oczywiście w zależności od potrzeb w grę wchodzą również inne wartości parametru. Normalizacja przedstawiona jako„Propozycja" jest niemożliwa do realizacji w typowych, znanych z literatury układach, wykorzystujących rejestry i sumator. Odwzorowanie układów normalizacji w blokach LUT nie wprowadza żadnych ograniczeń w doborze współczynnika normalizacji i może być zastosowane dla każdej wartości minimalnej pochodzącej z układu MIN-ZNAK. Układ logiczny będący efek-

tem syntezy siatek Karnaugha nie musi być nawet w żaden sposób optymalizowany, gdyż w bloku LUT mamy do dyspozycji nieograniczoną liczbę iloczynów (liczba iloczynów = 2^n, gdzie n jest liczbą wejść bloku LUT).

Należy podkreślić, że implementacja układu normalizacji z wykorzystaniem układu kombinacyjnego jest również korzystna ze względu na lepsze dopasowanie do architektury FPGA typu LUT. Zastosowanie jednostki sumatora akumulacyjnego zawierającej rejestr przesuwający i sumator wymaga użycia dwóch warstw przerzutników (przerzutnik w rejestrze przesuwającym i przerzutnik w rejestrze przechowującym wynik cząstkowy sumowania). Układ kombinacyjny może zostać zrealizowany w jednej warstwie układu, oczywiście jeżeli magistrala danych nie będzie zbyt duża. Najczęściej wykorzystuje się w binarnych dekoderach QC-LDPC magistrale danych co najwyżej 6-bitowe, co zapewnia realizację korekcji w postaci jednej warstwy bloków LUT.

α = 0.625

wejście	0	1
00	000	001
01	001	010
11	100	100
10	011	011

wyjście

α = 0.6875

wejście	0	1
00	000	001
01	001	010
11	100	101
10	011	011

wyjście

α = 0.75

wejście	0	1
00	000	001
01	010	010
11	101	101
10	011	100

wyjście

α = 0.8125

wejście	0	1
00	000	001
01	010	010
11	101	110
10	011	100

wyjście

α = 1

wejście	0	1
00	000	001
01	010	011
11	110	111
10	100	101

wyjście

Propozycja

wejście	0	1
00	000	001
01	010	010
11	110	111
10	011	100

wyjście

Rys. 6. Siatki Karnaugha dla kilku parametrów α i magistrali 4-bitowej

Implementacja układu normalizacji z wykorzystaniem układu kombinacyjnego jest korzystna ze względu na lepsze dopasowanie do architektury FPGA z blokami typu LUT. Zastosowanie jednostki sumatora akumulacyjnego zawierającej rejestr przesuwający i sumator wymaga użycia dwóch warstw przerzutników (przerzutnik w rejestrze przesuwającym i przerzutnik w rejestrze przechowującym wynik cząstkowego sumowania). Układ kombinacyjny może zostać zrealizowany w jednej warstwie układu jeżeli magistrala danych nie będzie zbyt duża. Najczęściej wykorzystuje się w binarnych dekoderach QC-LDPC magistrale danych nie większe niż 6-bitowe. Pozwala to na wykorzystanie tylko jednej warstwy bloków LUT.

Wyniki pomiarów

Na rys. 7 przedstawiono zapotrzebowanie sprzętowe dla poszczególnych wersji dekodera QC-LDPC. Można zauważyć, że wraz ze zwiększeniem rozmiaru magistrali danych gwałtownie wzrasta zapotrzebowanie sprzętowe na jednostki ALM (ang. 8-input Adaptive Logic Module) i bity pamięci. Rzeczywisty rozmiar magistrali to iloczyn P i rozmiaru pojedynczej danej (np. 4-bity). Na rys. 8 przedstawiono wyniki pomiarów dekodera QC-LDPC zaimplementowanego w układzie FPGA Cyclone V w zależności od rozmiaru magistrali danych. Jak można zauważyć parametry BER (ang. Bit Error Rate) i FER (ang. Frame Error Rate) dla 3-bitowej magistrali danych nie wykazują dobrych właściwości korekcyjnych dla badanego zakresu SNR (ang. Signal-to-Noise Ratio). Różnice parametrów BER i FER pomiędzy magistralami 4 i 5-bitowymi są nieznaczne. Otrzymane wyniki można zaobserwować również w innych publikacjach, np. [13]. W dalszych badaniach wykorzystano magistralę 4-bitową, która wykazuje się lepszymi właściwościami korekcyjnymi dla nieregularnego dekodera QC-LDPC i mniejszym zapotrzebowaniem sprzętowym w stosunku do magistrali 5-bitowej. Wszystkie testy wykonano dla maksymalnej liczby iteracji wynoszącej 15.

	Zapotrzebowanie sprzętowe	
Protokół, rozmiar magistrali, algorytm	ALM	Bity pamięci
WiMax, 3-bity, MinSum	11133	62632
WiMax, 4-bity, MinSum	19227	79528
WiMax, 5-bity, MinSum	23309	96424
WiMax, 4-bity, NormalizedMinSum α=0,625	19286	79528
WiMax, 4-bity, NormalizedMinSum α=0.6875	19268	79528
WiMax, 4-bity, NormalizedMinSum α=0.75	19279	79528
WiMax, 4-bity, NormalizedMinSum α=0.8125	19280	79528
WiMax, 4-bity, NormalizedMinSum Propozycja	19259	79528
WiGig, 3-bity, MinSum	4150	19384
WiGig, 4-bity, MinSum	7568	24424
WiGig, 5-bity, MinSum	9556	29464
WiGig, 4-bity, NormalizedMinSum α=0.625	7586	24424
WiGig, 4-bity, NormalizedMinSum α=0.6875	7586	24424
WiGig, 4-bity, NormalizedMinSum α=0.75	7589	24424
WiGig, 4-bity, NormalizedMinSum α=0.8125	7593	24424
WiGig, 4-bity, NormalizedMinSum Propozycja	7589	24424

Rys. 7. Zapotrzebowanie sprzętowe dla poszczególnych wersji dekodera QC-LDPC

Rys. 8. Wykres BER i FER dla dekodera QC-LDPC standardów WiMax i WiGig w zależności od rozmiaru magistrali danych

Na rys. 9 przedstawiono wykres BER i FER w badanym zakresie SNR standardu WiGig dla algorytmu Min-Sum i odmian algorytmu Normalized Min-Sum. Można zauważyć, że dla SNR mniejszego od $2.7dB$ algorytm Min-Sum wykazuje gorsze właściwości korekcyjne od algorytmu Normalized Min-Sum. Dla większego SNR algorytm Min-Sum zaczyna wykazywać lepsze właściwości korekcyjne niż algorytm Normalized Min-Sum. Na rys. 10 przedstawiono analogiczny wykres dla standardu WiMax. Można zauważyć podobną zależność gdzie $SNR = 2.5dB$ stanowi granicę, od której algorytm Min-Sum wykazuje lepsze właściwości korekcyjne niż algorytm Normalized Min-Sum dla standardu WiMax. Podobne wyniki dla innych kodów uzyskano między innymi w publikacjach [18]. Granica skuteczności normalizacji zależy od użytej macierzy kontrolnej **H**.

Rys. 9. Wykres BER i FER dekodera QC-LDPC standardu WiGig dla algorytmu Min-Sum i odmian algorytmu Normalized Min-Sum

Dla wartości mniejszej od granicznej algorytm Normalized Min-Sum wykazuje dobre właściwości korekcyjne, znacznie lepsze niż algorytm Min-Sum. Jest to obszar prawdopodobnie istotniejszy w implementacjach standardów transmisji bezprzewodowej, które korzystając z procedur re-

Rys. 10. Wykres BER i FER dekodera QC-LDPC standardu WiMax dla algorytmu Min-Sum i odmian algorytmu Normalized Min-Sum

transmisji, nie wymagają bardzo niskich wartości stopy błędu BER / FER.

Można zauważyć, że w zależności od użytego współczynnika normalizacji osiągnięto różne efekty. Dla WiMax i WiGig najlepsze właściwości korekcyjne spośród standardowych współczynników wykazał $\alpha = 0.8125$. Zastosowanie w układzie normalizacji układu kombinacyjnego pozwoliło dobrać normalizację eksperymentalnie w celu osiągnięcia najbardziej korzystnych wyników BER i FER. W efekcie osiągnięto znacznie lepsze efekty niż dla współczynnika $\alpha = 0.8125$. Tego typu implementacja umożliwia precyzyjniejsze dobranie normalizacji.

Zapotrzebowanie sprzętowe na jednostki ALM jest tylko nieznacznie większe dla algorytmu Normalized Min-Sum w stosunku do algorytmu Min-Sum. Układ normalizacji nie wpływa więc na zwiększenie zapotrzebowania sprzętowego na bity pamięci, co też wynika bezpośrednio ze sposobu implementacji tego elementu w postaci układu kombinacyjnego realizowanego w blokach LUT.

Podsumowanie

W artykule przedstawiono kilka odmian dekodera nieregularnego QC-LDPC standardów WiMax i Wigi, w których wprowadzano drobne modyfikacje. Zaprezentowane wyniki pokazały, że bardzo korzystne jest zastosowanie magistrali 4-bitowej, gdyż takie rozwiązania charakteryzują się lepszymi parametrami korekcyjnymi w stosunku do dekoderów z magistralami 3-bitowymi, a nie wymagają użycia tak dużych zasobów układu FPGA, jak rozwiązania z magistralami 5-bitowymi. Użycie magistral 4-bitowych nie prowadzi do znaczącego pogorszenia parametrów korekcyjnych w stosunku układów z magistralami 5-bitowymi.

Nowatorskim elementem zaprezentowanym w niniejszym artykule jest nietypowy sposób implementacji układu normalizującego algorytmu Normalized Min-Sum dla nieregularnego dekodera QC-LDPC standardów WiMax i WiGig, umożliwiający efektywne odwzorowanie technologiczne uzyskanych układów w strukturach FPGA. Przedstawiony sposób normalizacji w postaci układu kombinacyjnego pozwala na uzyskanie lepszych właściwości korekcyjnych w stosunku do standardowych rozwiązań znanych w literaturze. Porównanie użytych zasobów sprzętowych dla różnych wariantów dekodera wskazuje na nieznaczne zwiększenie użytych jednostek ALM dla algorytmu Normalized Min-Sum.

Dalsze prace ukierunkowane będą na optymalizację opracowanych układów pod względem zużycia energii. Wydaje się, że istnieje możliwość opracowania dekodera, który przy zapewnieniu założonych parametrów korekcyjnych może stać się układem energooszczędnym. Istota pomysłów sprowadza się do wprowadzenia pewnych modyfikacji układu na poziomie strukturalnym, ukierunkowanych na zastosowanie znanych z literatury koncepcji obniżenia poboru mocy dynamicznej.

Praca częściowo finansowana ze środków Ministerstwa Nauki i Szkolnictwa Wyższego.

***Autorzy**: mgr inż. Mateusz Kuc, Instytut Elektroniki, ul. Akademicka 16, 44-100 Gliwice, e-mail:Mateusz.Kuc@polsl.pl, dr hab. inż. Wojciech Sułek, Instytut Elektroniki ul. Akademicka 16, 44-100 Gliwice, e-mail: Wojciech.Sulek@polsl.pl, prof. dr hab. inż. Dariusz Kania, Instytut Elektroniki, ul. Akademicka 16, 44-100 Gliwice, e-mail: dkania@polsl.pl*

LITERATURA

[1] C. H. Chan and F. C. M. Lau: Parallel decoding of LDPC convolutional codes using OpenMP and GPU, *2012 IEEE Symposium on Computers and Communications (ISCC)*, Cappadocia, (2012), 225–227.
[2] Gallager R. G.: Low-Density Parity-Check Codes, *MIT Press*, (1963).
[3] D. J. C. MacKay: Good error-correcting codes based on very sparse matrices, *IEEE Transactions on Information Theory*, (March 1999), vol. 45, no. 2, 399–431.
[4] E. Nurellari: LDPC Coded OFDM And It's Application To DVB-T2, DVB-S2 And IEEE 802.16e, *Institute of Graduate Studies and Research in partial fulfillment of the requirements for the degree of Master of Science in Electrical and Electronic Engineering* , North Cyprus, (2012), 30.
[5] A. Darabiha, A. Chan Carusone, F. R. Kschischang: Power Reduction Techniques for LDPC Decoders, *IEEE Journal of Solid-State Circuits*, (August 2008), vol. 43, no. 8, 1835–1845.
[6] S. Galli: On the Fair Comparison of FEC Schemes, *2010 IEEE International Conference on Communications*, Cape Town, (2010), 1–6.
[7] E. Pisek, D. Rajan, J. R. Cleveland: Trellis-Based QC-LDPC Convolutional Codes Enabling Low Power Decoders, *IEEE Transactions on Communications*, (June 2015), vol. 63, no. 6, 1939–1951.
[8] Z. Chen, X. Zhao, X. Peng, D. Zhou, S. Goto: a high-parallelism reconfigurable permutation network for IEEE 802.11n??802.16e LDPC decoder, *2009 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)*, Kanazawa, (2009), 85–88.
[9] S. Mhaske, H. Kee, T. Ly, A. Aziz, P. Spasojevic: High-Throughput FPGA-Based QC-LDPC Decoder Architecture, *2015 IEEE 82nd Vehicular Technology Conference (VTC2015-Fall)*, Boston, (2015), 1–5.
[10] M. Mukherjee, P. Kumar, R. Matam: a PHY-layer framework of multirate transmission for ultra-dense networks in 5G, *2015 International Conference on Communications, Signal Processing, and their Applications (ICCSPA'15)*, Sharjah, (2015), 1–6.
[11] J. Liu, H. Wang, C. Shen, J. Lee: Low-Complexity LDPC Decoder for 5G URLLC, *2018 IEEE Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia)*, Chengdu, China, (2018), 43–46.
[12] R. Tanner: a recursive approach to low complexity codes, *IEEE Transactions on Information Theory*, (September 1981), vol. 27, no. 5, 533–547.
[13] Jianguang Zhao, F. Zarkeshvari, A. H. Banihashemi: Variable Correction for Min-Sum LDPC Decoding Applied in ATSC3.0, *2018 IEEE International Symposium on Broadband Multimedia Systems and Broadcasting (BMSB)*, Valencia, (2018), 1–5.
[14] Kuc M., Sułek W., Kania D.: Sprzętowa implementacja dekodera LDPC w strukturze FPGA, *Przegląd Elektrotechniczny*, (2019), vol. 95, no. 3, 58–62
[15] W. Sułek: Protograph Based Low-Density Parity-Check Codes Design With Mixed Integer Linear Programming, *IEEE Access*, (2019), vol. 7, 1424–1438
[16] J. Liu, H. Wang, C. Shen, J. Lee: Low-Complexity LDPC Decoder for 5G URLLC, *2018 IEEE Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia)*, Chengdu, (2018), 43–46.
[17] T. Heidari, A. Jannesari: Design of high-throughput QC-LDPC decoder for WiMAX standard, *2013 21st Iranian Conference on Electrical Engineering (ICEE)*, Mashhad, (2013), 1–4.
[18] C. Chen, Y. Xu, H. Ju, D. He, W. Zhang, Y. Zhang: On implementation of min-sum algorithm and its modifications for decoding low-density Parity-check (LDPC) codes, *IEEE Transactions on Communications*, (April 2005), vol. 53, no. 4, 549–554.