

Modelowanie tranzystora SiC-JFET w programie PSPICE

Streszczenie. W pracy omówiono problematykę modelowania charakterystyk tranzystora JFET wykonanego z węgla krzemu. Przeprowadzono ocenę dokładności modelu tranzystora JFET wbudowanego w programie PSPICE poprzez porównanie wyników symulacji z wynikami pomiarów wybranych charakterystyk statycznych tranzystora SiC-JFET typu SJEP170R550 firmy SemiSouth w szerokim zakresie zmian temperatury otoczenia. Zaproponowano autorskie modyfikacje tego modelu wpływające na zwiększenie jego dokładności.

Abstract. In the paper, the problem of characteristics modelling of a JFET transistor made of silicon carbide, is presented. The accuracy of the built-in in SPICE model of JFET by comparing the results of simulations and measurements of selected static characteristics of SiC-JFET (SJEP170R550) fabricated by SemiSouth in a wide range of the ambient temperature, is evaluated. Proprietary modifications of the model, improving its accuracy, have been proposed. **Modelling of SiC-JFET in PSPICE.**

Słowa kluczowe: tranzystor JFET, węgiel krzemu, modelowanie, program PSPICE.

Keywords: JFET, silicon carbide, modelling, PSPICE.

Wprowadzenie

Od roku 2008 na rynku dostępne są nowoczesne tranzystory JFET mocy (Junction Field-Effect Transistor) wykonane z węgla krzemu (SiC), które w porównaniu do klasycznych tranzystorów krzemowych charakteryzują się na przykład wyższymi dopuszczalnymi wartościami prądów oraz napięć zaciskowych, a także krótszymi czasami przełączania. Z tego względu wymienione elementy znajdują zastosowanie głównie w energoelektronicznych układach kluczujących mocy [1-3].

Niezbędnym narzędziem inżyniera-konstruktora układów elektronicznych są odpowiednie programy komputerowe przeznaczone do projektowania i analizy układów elektronicznych, zawierające wiarygodne modele elementów elektronicznych, w tym również przyrządów półprzewodnikowych. Na rynku dostępnych jest wiele programów tego typu, a jednym z najpopularniejszych jest SPICE (Simulation Program with Integrated Circuit Emphasis) [4] oferowany przez wielu producentów oprogramowania w zróżnicowanych wydaniach. Na przykład, program PSPICE firmy Cadence Design Systems Inc. posiada obszerną bibliotekę modeli elementów biernych, a także modeli przyrządów półprzewodnikowych, w tym modelu Shichmanna-Hodgesa [4] krzemowego tranzystora JFET.

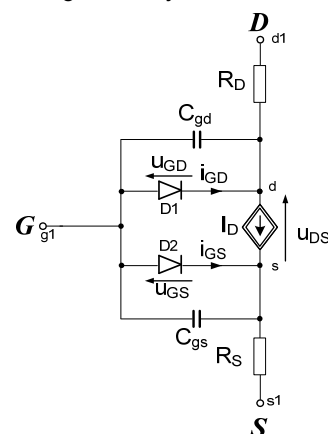
W pracy oceniono przydatność wymienionego modelu pod kątem wyznaczenia wybranych charakterystyk tranzystora JFET wykonanego z węgla krzemu. W tym celu wyniki symulacji porównano z autorskimi wynikami pomiarów charakterystyk statycznych tranzystora SiC-JFET o symbolu SJEP170R550 firmy SemiSouth [5]. Oceniono wpływ temperatury otoczenia na parametry i charakterystyki wymienionego przyrządu półprzewodnikowego.

Z uwagi na zaobserwowane rozbieżności pomiędzy wynikami symulacji i pomiarów, zaproponowano modyfikacje wybranych zależności analitycznych wbudowanego modelu Shichmanna-Hodgesa tranzystora JFET wpływające na zwiększenie jego dokładności, co potwierdzono uzupełniającymi wynikami weryfikacji eksperymentalnej.

Postać modelu tranzystora JFET wbudowanego w programie PSPICE

W programie PSPICE (wersja 15.7) został zaimplementowany model tranzystora JFET, którego postać obwodową przedstawiono na rysunku 1 [4]. W tym modelu, głównym elementem jest sterowane źródło prądowe I_D modelujące prąd drenu w trzech zakresach pracy

tranzystora. W zakresie odcięcia, tj. dla napięcia $u_{GS} < V_{T0}(T)$ wydajność omawianego źródła jest równa 0.



Rys. 1. Postać modelu wbudowanego w programie PSPICE [4]

Z kolei, w zakresie liniowym oraz nasycenia wydajność źródła I_D jest wyrażona wzorem [4]:

$$(1) \quad I_D = \begin{cases} A \cdot u_{DS} \cdot (2 \cdot (u_{GS} - V_{T0}(T)) - u_{DS}) & \text{dla } u_{DS} \leq u_{GS} - V_{T0}(T) \\ A \cdot u_{DS} \cdot (u_{GS} - V_{T0}(T))^2 & \text{dla } 0 < u_{GS} - V_{T0}(T) < u_{DS} \end{cases}$$

gdzie: u_{GS} , u_{DS} – napięcia odpowiednio bramka-źródło oraz dren-źródło zaznaczone na rysunku 1, $V_{T0}(T)$ – temperaturowa zależność napięcia progowego, natomiast współczynnik A jest dany wzorem [4]:

$$(2) \quad A = \beta(T) \cdot (1 + \lambda \cdot u_{DS})$$

przy czym: λ – współczynnik modulacji długości kanału, $\beta(T)$ – temperaturowa zależność parametru transkonduktancji.

Diody D_1 i D_2 z rysunku 1 modelują prądy i_{GD} , i_{GS} płynące pomiędzy odpowiednio bramką a drenem oraz bramką a źródłem tranzystora i są opisane wzorami [4]:

$$(3) \quad i_{GD} = I_S(T) \cdot \left[\exp\left(\frac{u_{GD}}{N \cdot V_T(T)}\right) - 1 \right] + I_{SR}(T) \cdot \left[\left(\frac{u_{GD}}{N_R \cdot V_T(T)} - 1 \right) \cdot \left[\left(1 - \frac{u_{GD}}{P_B(T)} \right)^2 + 0.005 \right]^{\frac{M}{2}} \right]$$

$$(4) \quad i_{GS} = I_S(T) \cdot \left[\exp\left(\frac{u_{GS}}{N \cdot V_T(T)}\right) - 1 \right] + I_{SR}(T) \cdot \left[\left(\frac{u_{GS}}{N_R \cdot V_T(T)} - 1 \right) \cdot \left[\left(1 - \frac{u_{GS}}{P_B(T)} \right)^2 + 0.005 \right]^{\frac{M}{2}} \right]$$

gdzie: $I_S(T)$, $I_{SR}(T)$ – temperaturowe zależności prądu nasycenia i rekombinacyjnego złącza p-n, $P_B(T)$ – temperaturowa zależność potencjału wbudowanego złącza, V_T – potencjał termiczny, N , N_R – współczynniki emisji złącza związane z prądem nasycenia i rekombinacyjnym, M – współczynnik opisujący profil domieszkowania złącza. Rezystory R_D i R_S z rysunku 1 modelują rezystancje szeregowo odpowiednio obszaru drenu oraz źródła tranzystora.

Niektóre współczynniki występujące w opisie analitycznym rozważanego modelu są uzależnione od temperatury otoczenia, co wyrażono przy pomocy zależności [4]:

$$(5) \quad I_S(T) = I_S \cdot \exp\left(\left(\frac{T}{T_{NOM}} - 1\right) \cdot \left(\frac{1,11}{N \cdot V_T(T)}\right) \cdot \left(\frac{T}{T_{NOM}}\right)^{\frac{XTI}{N}}\right)$$

$$(6) \quad I_{SR}(T) = I_{SR} \cdot \exp\left(\left(\frac{T}{T_{NOM}} - 1\right) \cdot \left(\frac{1,11}{N_R \cdot V_T(T)}\right) \cdot \left(\frac{T}{T_{NOM}}\right)^{\frac{XTI}{N_R}}\right)$$

$$(7) \quad E_g(T) = \frac{1,16 - 0,000702 \cdot T^2}{T + 1108}$$

$$(8) \quad V_T = \frac{k \cdot T}{q}$$

$$(9) \quad \beta(T) = \beta \cdot 1,01^{BETATC \cdot (T - T_{NOM})}$$

$$(10) \quad P_B(T) = P_B \cdot \frac{T}{T_{NOM}} - 3 \cdot V_T(T) \cdot \ln\left(\frac{T}{T_{NOM}}\right) - E_g(T_{NOM}) \cdot \frac{T}{T_{NOM}} + E_g(T)$$

$$(11) \quad V_{T0}(T) = V_{T0} + VTOTC \cdot (T - T_{NOM})$$

gdzie: I_S , I_{SR} – wartość prądu nasycenia oraz rekombinacyjnego w temperaturze odniesienia, $E_g(T)$ – szerokość przerwy energetycznej, q – ładunek elementarny, k – stała Boltzmanna, β – współczynnik transkonduktancji, T_{NOM} – temperatura odniesienia, natomiast XTI , $BETATCE$, $ALPHA$, V_K , $VTOTC$ – są parametrami modelu.

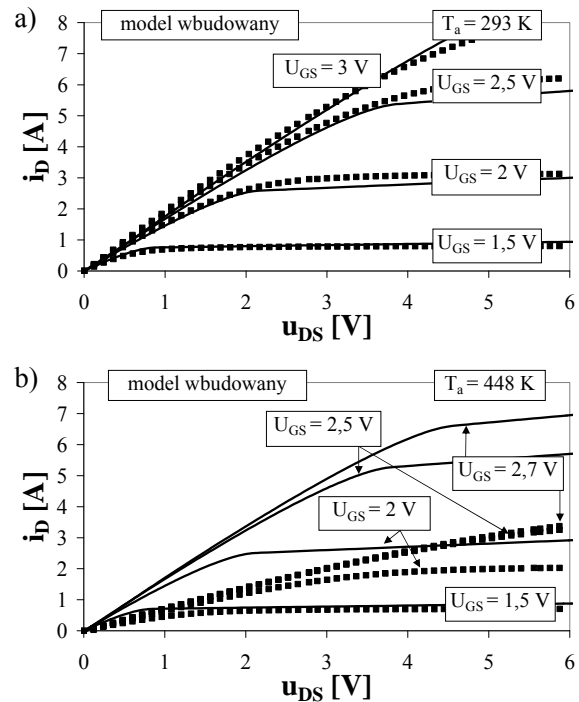
Ocena dokładności modelu wbudowanego tranzystora JFET

Przeprowadzono ocenę dokładności modelu tranzystora JFET wbudowanego w programie PSPICE poprzez porównanie wyników symulacji oraz pomiarów wybranych charakterystyk statycznych tranzystora wykonanego z węgla krzemu o symbolu SJEP170R550. W tym celu wykonano pomiary prądowo-napięciowych charakterystyk statycznych rozważanego tranzystora w szerokim zakresie zmian temperatury otoczenia. Pomiary zrealizowano metodą impulsową [6] z wykorzystaniem źródła mierzącego typu 2602B firmy Keithley [7].

Korzystając z wyników pomiarów przeprowadzono estymację wartości parametrów modelu wbudowanego z wykorzystaniem znanej z literatury metody optymalizacyjnej [8], której przydatność i skuteczność została potwierdzona [9, 10, 12] również w przypadku modeli innych rodzajów przyrządów półprzewodnikowych z węgla krzemu. Wartości parametrów modelu wbudowanego dla rozważanego tranzystora JFET wynoszą odpowiednio: $\beta = 2,5027 \text{ A/V}^2$, $\lambda = 0,054 \text{ V}^{-1}$, $I_S = 2,0575 \cdot 10^{-20} \text{ A}$, $I_{SR} =$

$4,5151 \cdot 10^{-9} \text{ A}$, $M = 0,0164$, $N = 2,5224$, $N_R = 9,6224$, $P_B = 6,832 \text{ V}$, $R_D = 0,428 \Omega$, $R_S = 0,028 \Omega$, $V_{T0} = 0,9374 \text{ V}$, $XTI = 67,5008$, $BETATCE = 0,0048 \text{ \%}/^\circ\text{C}$, $VTOTC = 1,3633 \cdot 10^{-4} \text{ V}/^\circ\text{C}$.

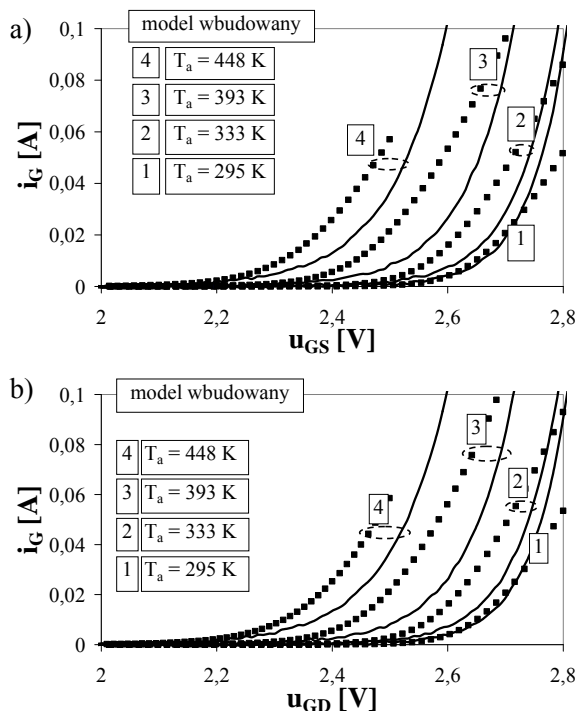
W charakterze przykładu na rysunku 2 i 3 zaprezentowano wyniki weryfikacji eksperymentalnej wbudowanego modelu tranzystora JFET dla rozważanego w pracy przyrządu półprzewodnikowego, gdzie punktami oznaczono wyniki pomiarów, natomiast linią ciągłą oznaczono wyniki obliczeń w programie PSPICE. Statyczne charakterystyki wyjściowe badanego tranzystora dla różnych wartości napięcia sterującego u_{GS} w dwóch temperaturach otoczenia pokazano na rysunku 2.



Rys. 2. Zmierzone i obliczone charakterystyki wyjściowe tranzystora SJEP170R550 w temperaturze 293 K (a) oraz 448 K (b)

Jak widać, w temperaturze pokojowej (rys. 2a) uzyskano bardzo dobrą zgodność wyników symulacji i pomiarów charakterystyk wyjściowych, natomiast w podwyższonej temperaturze otoczenia (rys. 2b) wartości obliczone prądu drenu są nawet 2-krotnie wyższe niż wartości zmierzone, w analogicznych punktach pracy tranzystora. Należy podkreślić, że w procesie estymacji wartości parametrów modelu wykorzystano charakterystyki tranzystora zmierzone w szerokim zakresie zmian temperatury otoczenia w celu precyzyjnego wyznaczenia wartości współczynników temperaturowych: XTI , $BETATCE$ oraz $VTOTC$ występujących w opisie analitycznym rozważanego modelu (wzory 5-11). Z drugiej strony, w modelu wbudowanym niestety nie uwzględniono wpływu temperatury na wartości rezystancji szeregowych R_S , R_D tranzystora, co prawdopodobnie skutkuje małą dokładnością modelowania charakterystyk wyjściowych w podwyższonej temperaturze otoczenia.

Z kolei na rysunku 3 zaprezentowano zmierzone oraz obliczone rozważanym modelem charakterystyki wejściowe tranzystora. Jak widać, zgodność wyników symulacji i pomiarów jest widoczna jedynie w przypadku charakterystyk w temperaturze pokojowej w zakresie napięć u_{GS} (rys. 3a) oraz u_{GD} (rys. 3b) nie przekraczających w przybliżeniu 2,7 V.



Rys. 3. Zmierzone i obliczone charakterystyki wejściowe $i_G=f(u_{GS})$ (a) oraz $i_G=f(u_{GD})$ (b) tranzystora SJEP170R550 w czterech temperaturach otoczenia

Okazuje się, że w opisie analitycznym rozważanego modelu zastosowano temperaturową zależność szerokości przerwy energetycznej (wzór 7) słuszną dla krzemu, która może być nieodpowiednia w przypadku modelowania rozważanych w pracy tranzystorów wykonanych z węgla krzemu – materiału półprzewodnikowego o znacznie większej wartości szerokości przerwy energetycznej. Ponadto, we wzorach (5 i 6) występuje nieodpowiednia dla węgla krzemu wartość parametru E_G równa 1,11 eV, przy czym w przypadku wbudowanego modelu tranzystora JFET twórcy programu PSPICE nie przewidzieli możliwości modyfikacji wartości wymienionego parametru.

Modyfikacje modelu wbudowanego tranzystora JFET

Zaobserwowane na rysunku 2 i 3 istotne rozbieżności pomiędzy wynikami symulacji i pomiarów, a także wady modelu wbudowanego wymienione w poprzednim punkcie są wystarczającym powodem do przeprowadzenia jego modyfikacji.

Użytkownik programu PSPICE niestety nie ma możliwości wprowadzania w sposób bezpośredni modyfikacji do postaci zależności analitycznych występujących w opisie modelu wbudowanego. Z drugiej strony, korzystając z opcji ABM (the Analog Behavioral Modeling option) [4] istnieje możliwość sformułowania modelu tranzystora JFET w postaci podobodu z wykorzystaniem odpowiednio opisanych źródeł sterowanych, stanowiącego kopię oryginalnego modelu wbudowanego. W takim przypadku użytkownik może praktycznie w dowolny sposób modyfikować postać zależności analitycznych opisujących model rozważanego przyrządu półprzewodnikowego.

W ramach realizacji modyfikacji rozważanego w pracy modelu tranzystora JFET, rezystory R_D oraz R_S z rysunku 1 o stałych wartościach zostały zastąpione sterowanymi źródłami prądowymi, których wydajność opisano przy pomocy zależności:

$$(12) \quad I_{RDT} = \frac{u_{RDT}}{R_D \cdot [1 + \alpha_{RD} \cdot (T - T_{NOM})]}$$

$$(13) \quad I_{RST} = \frac{u_{RST}}{R_S \cdot [1 + \alpha_{RS} \cdot (T - T_{NOM})]}$$

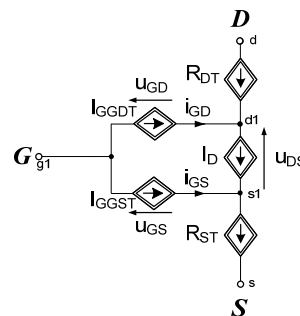
gdzie: R_D , R_S – wartości rezystancji szeregowych obszaru drenu i źródła w temperaturze odniesienia, α_{RD} , α_{RS} – temperaturowe współczynniki zmian rezystancji szeregowych, u_{RDT} , u_{RST} – wartości napięć na źródłach sterowanych.

Temperaturowa zależność wartości szerokości przerwy energetycznej wyrażona wzorem (7) została zastąpiona literaturową zależnością $E_g(T)$ słuszną dla węgla krzemu o postaci [11]:

$$(14) \quad E_g(T) = 3,26 - 0,0033 \cdot (T - T_{NOM})$$

Z kolei, w równaniach (5) i (6) szerokość przerwy energetycznej została zwiększona z wartości 1,11 eV do wartości 3,26 eV.

Ostateczną postać zmodyfikowanego modelu tranzystora JFET z węgla krzemu sformułowaną z wykorzystaniem opcji ABM pokazano na rysunku 4. Model ten zaimplementowano w programie PSPICE w postaci podukładu.

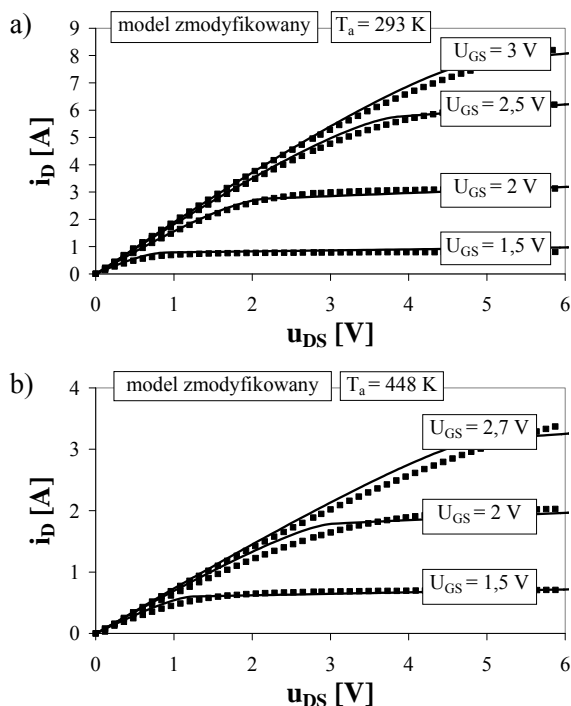


Rys. 4. Postać zmodyfikowanego modelu tranzystora JFET

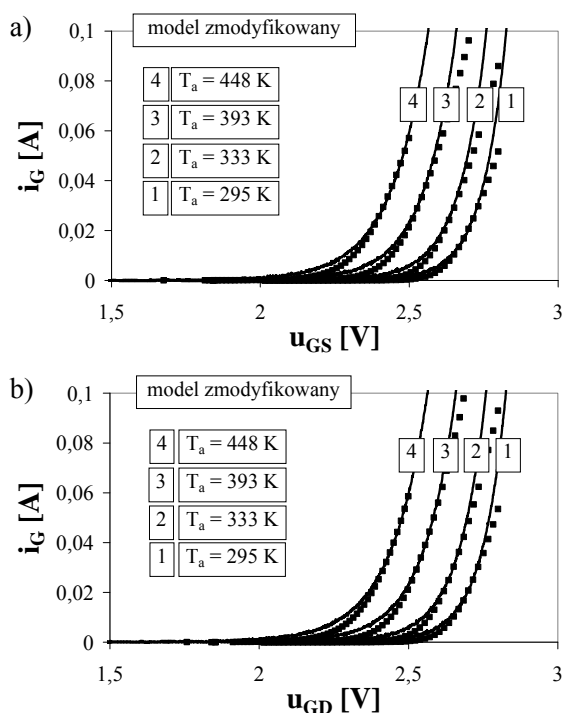
Przeprowadzono procedurę estymacji wartości parametrów zmodyfikowanego modelu tranzystora JFET i uzyskano następujące wartości parametrów: $\beta = 2,308 \text{ A/V}^2$, $\lambda = 0,05 \text{ V}^{-1}$, $I_S = 1 \cdot 10^{-16} \text{ A}$, $I_{SR} = 4,51 \cdot 10^{-9} \text{ A}$, $M = 0,016$, $N = 3,15$, $N_R = 9,62$, $P_B = 6,83 \text{ V}$, $R_D = 0,41 \Omega$, $R_S = 0,035 \Omega$, $V_{T0} = 0,858 \text{ V}$, $XTI = 2$, $BETAIACE = -0,01 \text{ \%}/^\circ\text{C}$, $VTOTC = 6,15 \cdot 10^{-4} \text{ V}/^\circ\text{C}$, $\alpha_{RS} = 0,0126 \text{ }^\circ\text{C}^{-1}$, $\alpha_{RD} = 0,011 \text{ }^\circ\text{C}^{-1}$.

W celu oceny dokładności zaproponowanego modelu wykonano obliczenia charakterystyk wyjściowych oraz wejściowych tranzystora SiC-JFET, które porównano z wynikami pomiarów. Na rysunku 5 zaprezentowano charakterystyki wyjściowe badanego tranzystora dla wybranych wartości napięcia sterującego u_{GS} w dwóch temperaturach otoczenia. Z kolei, na rysunku 6 zaprezentowano charakterystyki wejściowe $i_G=f(u_{GS})$ (rys. 6a) oraz $i_G=f(u_{GD})$ (rys. 6b) tranzystora w czterech temperaturach otoczenia.

Jak widać (rys. 5 i 6), w wyniku zastosowanych zmian w opisie analitycznym modelu uzyskano bardzo dobrą zgodność wyników symulacji oraz pomiarów charakterystyk tranzystora. W porównaniu do modelu wbudowanego (rys. 2b), zaproponowany model charakteryzuje się dużą dokładnością wyznaczania charakterystyk wyjściowych w podwyższonej temperaturze otoczenia (rys. 5b), jednocześnie bez pogorszenia dokładności modelowania badanych charakterystyk w temperaturze pokojowej (rys. 2a oraz 5a).



Rys. 5. Zmierzone i obliczone modelem zmodyfikowanym charakterystyki wyjściowe tranzystora SJEP170R550 w temperaturze 293 K (a) oraz 448 K (b)



Rys. 6. Zmierzone i obliczone modelem zmodyfikowanym charakterystyki wejściowe $i_G=f(u_{GS})$ (a) oraz $i_G=f(u_{GD})$ (b) tranzystora SJEP170R550 w czterech temperaturach otoczenia

Znaczną poprawę dokładności modelowania widać również w przypadku charakterystyk wejściowych tranzystora (rys. 6 oraz rys. 3) we wszystkich rozważanych temperaturach otoczenia. Wzrost temperatury otoczenia skutkuje przesunięciem się omawianych charakterystyk w kierunku niższych wartości napięcia sterującego.

Podsumowanie

W pracy przedstawiono wyniki weryfikacji eksperymentalnej modelu tranzystora JFET wbudowanego

w programie PSPICE, ilustrujące niedokładności tego modelu, w szczególności w odniesieniu do charakterystyk statycznych tranzystora wykonanego z węgla krzemu wyznaczonych w podwyższonych temperaturach otoczenia. Okazuje się, że zastosowanie modyfikacji wybranych zależności analitycznych występujących w opisie tego modelu wpływa w istotny sposób na zwiększenie jego dokładności. Wykazano również, że wbudowany w programie PSPICE model krzemowego tranzystora JFET można z powodzeniem zastosować do wyznaczania charakterystyk nowoczesnych tranzystorów wykonanych z węgla krzemu, pod warunkiem uwzględnienia zmian w postaci modelu zaproponowanych przez autorów.

Autorzy: mgr inż. Kamil Bargieł, Akademia Morska w Gdyni, Katedra Elektroniki Morskiej, ul. Morska 81-87, 81-225 Gdynia, E-mail: k.bargiel@we.am.gdynia.pl; dr inż. Damian Bisewski, Akademia Morska w Gdyni, Katedra Elektroniki Morskiej, ul. Morska 81-87, 81-225 Gdynia, E-mail: d.bisewski@we.am.gdynia.pl; prof. dr hab. inż. Janusz Zarębski, Akademia Morska w Gdyni, Katedra Elektroniki Morskiej, ul. Morska 81-87, 81-225 Gdynia, E-mail: zarebski@am.gdynia.pl.

LITERATURA

- [1] Gong X., Ferreira A., Modeling and Reduction of Conducted EMI in SiC JFET Motor Drivers with Insulated Metal Substrate. *IEEE Energy Conversion Cong. and Exposition*, (2008), 629-636.
- [2] Pan S., Li L., Chen Z., Research of Solar Based on Silicon Carbide JFET Power Devices. *Energy Procedica*, vol.16, (2012), 1986-1993.
- [3] Kelly R., Ritenour D., Sheridan D., Casady J., Improved Two-Stage DC-coupled Gate Driver for Enhancement-mode SiC JFET. *IEEE Applied Power Electronics Conf. and Exposition*, (2010), 1838-1841.
- [4] PSPICE A/D Reference Guide Version 15.7, Cadence Design Systems Inc.
- [5] Karta katalogowa tranzystora SJEP170R500 dostępna na stronie: www.datasheet.octopart.com/SJEP170R550-Semisouth-datasheet-11827097.pdf
- [6] Bisewski D., Bargieł K., Zarębski J., Górecki K., Dąbrowski J., New Laboratories in the Department of Marine Electronics in Gdynia Maritime University, *Marine Navigation and Safety of Sea Transportation*, Taylor & Francis Group, (2013), 67-71.
- [7] <http://www.keithley.com>
- [8] Bisewski D., Zarębski J., Investigation of Thermal Parameters of GaAs and SiC MESFETs. *Przegląd Elektrotechniczny*, (2011), Nr 1, 271-274.
- [9] Bargieł K., Bisewski D., Modelling of Silicon Carbide JFET in SPICE. *IEEE Microelectronics and Packaging Conference (EMPC) & Exhibition*, (2017), 1-4.
- [10] Bisewski D., Parameters Estimation of SPICE Models for Silicon Carbide Devices. *IEEE Microelectronics and Packaging Conference (EMPC) & Exhibition*, (2017), 1-5.
- [11] McNutt T. R., Hefner A.R., Mantooth H. A., Duliere J., Bering D. W., Singh R., Silicon Carbide PiN and Merged PiN Schottky Power Diode Models Implemented in the Saber Circuit Simulator. *IEEE Transaction On Power Electronics*, vol. 19, No. 3, (2004), 537-581.
- [12] Patrzyk J., Zarębski J., Bisewski D., DC Characteristics and Parameters of Silicon Carbide High-Voltage Power BJTs. *39th International Microelectronics and Packaging Poland Conference*, (2016), Vol.104, 29-38.