Piotr LEGUTKO, Marcin KASPRZAK, Kamil KIEREPKA[1]

Politechnika Śląska, Katedra Energoelektroniki, Napędu Elektrycznego i Robotyki (1)

doi:10.15199/48.2018.08.28

Problematyka określenia sprawności niskostratnych drajwerów pracujących z częstotliwością 30 MHz

Streszczenie. *W artykule przedstawiono sposób określania sprawności wysokoczęstotliwościowych sterowników bramkowych – drajwerów (ang. driver) pracujących z częstotliwościami sięgającymi 30 MHz. Problematyka określenia i wyznaczenia sprawności tego typu układów wydaje się aktualna i niezwykle istotna, gdyż może ona stanowić istotny wskaźnik efektywności sterowania bramką tranzystora MOSFET. W ramach pracy określono sprawności zarówno dla komercyjnych scalonych sterowników bramkowych, jak i konstrukcji własnych autora niniejszego artykułu. Sprawność dyskretnych drajwerów wynosi powyżej 70%, komercyjne konstrukcje charakteryzują się sprawnością na poziomie 50%.*

Abstract*. This paper presents a problem of determining the efficiency of high-frequency MOSFET drivers. All drivers have been tested for efficiency in the operating frequency from 10 MHz to 30 MHz. In the project tested two integrated drivers DEIC420, IXRFD630 IXYS Corporation and additionally three discrete drivers 4xEL7104, 8xEL7457 and 8xUCC27526 have been designed. The new discrete drivers design has been developed as a PCB circuit on a thermal clad technology with the use of discrete low power components. The PCB board are made of IMS material, which consist of aluminum base (1.5 mm), the layers of ceramic insulator (100 μm) and cooper layer (35 μm). Additionally, in this paper presents characteristic power input by the MOSFET drivers (Fig. 3) for two operating states: at idle and at gate MOSFET DE275-501N16A load. Also in this paper presents the measurement of parasitic parameters (output, series resistances R_{DR}) for all drivers. At the end, this paper presents the new characteristic efficiency by the MOSFET drivers determined based on equations from (1) to (10). The new MOSFET Drivers have been verified by using the universal laboratory in Department of Power Electronics, Electrical Drives and Robotics Silesian University of Technology. (****The problem of determining the efficiency of low-loss drivers operating at 30 MHz****).*

Słowa kluczowe: sterownik bramkowy, niskostratny drajwer, sprawność, tranzystor MOSFET, wysoka częstotliwość.
Keywords: driver, MOSFET Transistor, low-losses driver, high-frequency, efficiency.

Wprowadzenie

W ostatnich latach można zaobserwować nieprzerwany wzrost zapotrzebowania na falowniki o megahercowych (MHz) częstotliwościach pracy oraz mocach od kilkuset watów (W) do kilku kilowatów (kW). Przyczyną wzrostu zapotrzebowania na tego typu falowniki są ich liczne zastosowania przemysłowe np. w nagrzewaniu indukcyjnym, nagrzewaniu pojemnościowym, wytwarzaniu półprzewodników lub indukcyjnej generacji plazmy. W literaturze spotykane są badania obejmujące analizę właściwości, zaawansowane projektowanie, modelowanie oraz testy laboratoryjne falowników rezonansowych klasy D, DE, E oraz EF, o coraz to wyższych częstotliwościach pracy i mocach wyjściowych.

Głównym, a zarazem najistotniejszym elementem układu falownika jest tranzystor MOSFET mocy, który musi charakteryzować się wysoką częstotliwością pracy zachowując jednocześnie swoje właściwości statyczne i dynamiczne. Budowa wysokoczęstotliwościowych falowników rezonansowych wymaga rozwiązania złożonej problematyki sterowania procesem przełączania bramki tranzystora MOSFET mocy. Do prawidłowego wysterowania bramki pojedynczego tranzystora można posłużyć się dedykowanym układem nazywanym sterownikiem bramkowym (ang. driver), lub potocznie drajwerem. Do głównych zadań sterownika bramkowego – drajwera należy zapewnienie odpowiednich poziomów napięć dla załączania i wyłączania tranzystora oraz efektywne przeładowanie wewnętrznej pojemności bramki w możliwie najkrótszym czasie. Niezwykle ważne staje się nieustanne doskonalenie układów sterowników bramkowych, które powinny zapewniać możliwie efektywne przełączanie tranzystora z możliwie minimalnymi stratami własnymi [1, 2, 3, 4].

Na rynku dostępnych jest bardzo wiele rozwiązań sterowników bramkowych dedykowanych do zastosowań wysokoczęstotliwościowych. Przeważająca większość tych układów nie radzi sobie z przeładowaniem wewnętrznej pojemności bramki tranzystora, co w efekcie skutkuje znacznym wzrostem czasów przełączeń oraz wzrostem mocy czynnej pobieranej ze źródła zasilania. Przykładowo straty mocy w komercyjnym scalonym drajwerze o oznaczeniu IXRFD630 wynoszą 50 W dla częstotliwości 30 MHz i obciążenia bramką tranzystora MOSFET serii DE275-501N16A. Parametry znamionowe tranzystora o oznaczeniu DE275-501N16A wynoszą: U_{DSS}=500 V, I_{Dmax}=16 A, $R_{DS(on)}$=0,4 Ω [5]. Alternatywą dla komercyjnych rozwiązań sterowników bramkowych są układy dyskretne lub hybrydowe opracowane przez autora niniejszego artykułu i szeroko opisane m. in. w literaturze [1, 2, 3]. Te alternatywne rozwiązania niskostratnych drajwerów dyskretnych charakteryzują się stratami mocy na poziomie ok. 20 W i czasami przełączeń na poziomie ok. 2 ns – częstotliwość pracy 30 MHz, obciążenie tranzystor MOSFET serii DE275-501N16A. Niewątpliwie do najważniejszych aspektów projektowania własnego, nowego drajwera można zaliczyć:

- jego sprawność w procesie przełączania tranzystorów głównych układu. Im sprawność drajwera będzie większa, tym większa szansa, że w krótszym czasie przeładuje on wewnętrzna pojemność bramki tranzystora, a straty mocy w obwodzie drajwer-tranzystor będą minimalne.
- Krótkie czasy przełączeń, gdyż w przypadku pracy drajwera z częstotliwością kilkudziesięciu megaherców, przełączanie zaworu powinno być zakończone w czasie możliwie krótszym, niż 0,1 okresu *T*. Przykładowo dla falownika klasy E pracującego z częstotliwością 30 MHz przeładowanie pojemności bramki tranzystora MOSFET zajmuje ok. 5 ns (drajwer scalony DEIC420, tranzystor MOSFET serii DE275-501N16A), a okres *T* wynosi 33,3 ns.
- Odpowiednią wartość napięcia wyjściowego drajwera w czasie przewodzenia tranzystora. Wartość tego napięcia powinna być odpowiednio wysoka, aby utrzymywać minimalną wartość rezystancji przewodzenia $R_{DS(on)}$ tranzystora.
- Możliwość osiągnięcia szerokiego zakresu zmian współczynnika wypełnienia *D* przebiegu sterującego bramką tranzystora MOSFET. Zmiana współczynnika wypełnienia nie powinna powodować spadku wymaganej wartości napięcia bramki.

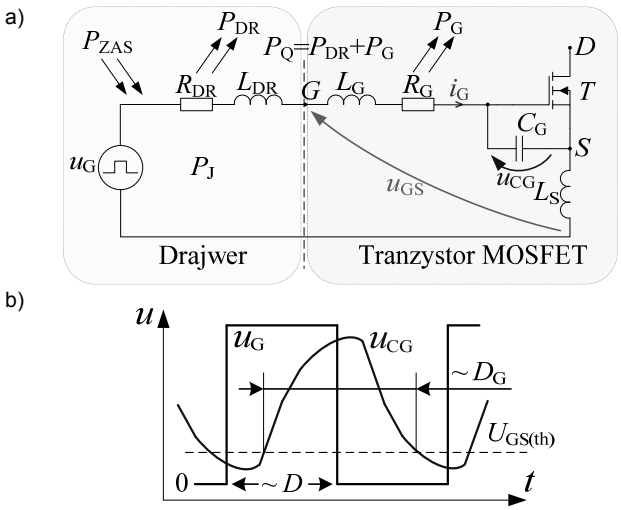
- Dodatkowo nowoopracowana konstrukcja drajwera powinna charakteryzować się zbliżonymi wartościami czasów propagacji $t_{p(L\text{-}H)}$ i $t_{p(H\text{-}L)}$ sygnału wyjściowego, aby zminimalizować deformację szerokości impulsu (współczynnik deformacji W_D).

Wszystkie wymienione wyżej wymagania stawiane wysokoczęstotliwościowym drajwerom muszą zostać rozwiązane w taki sposób, aby wpływ pojemności tranzystora MOSFET na pracę drajwera był możliwie niewielki. Najważniejszym kryterium projektowym, jest stosunek mocy pobieranej przez drajwer odniesiony do mocy wyjściowej całego urządzenia energoelektronicznego. Projektant powinien dążyć do minimalizacji mocy pobieranej przez drajwer, ale nie może pominąć innych wcześniej wymienionych założeń projektowych i konstrukcyjnych.

W ramach niniejszego artykułu przedstawiona zostanie problematyka określania sprawności sterowników bramkowych, gdyż jak wcześniej wspomniano ma ona decydujący wpływ na straty mocy układu drajwera i jego czasy przełączeń.

Definicja sprawności sterownika bramkowego

W obwodzie bramkowym przedstawionym na rysunku 1 powstają straty mocy, które rosną wraz ze wzrostem częstotliwości. Straty te są przyczyną wzrostu m. in. temperatury złącza tranzystora, ograniczają moc wyjściową falownika i częstotliwość pracy.



Rys.1. Obwód bramkowy tranzystora MOSFET z przyłączonym drajwerem: a) schemat zastępczy, b) przebiegi napięć z zaznaczonym wypadkowym wypełnieniem D_G

Wraz ze wzrostem częstotliwości bramkowego sygnału sterującego u_G, zniekształceniu ulega przebieg napięcia bramkowego u_{GS}, co pokazano na rysunku 1 oraz w pracy [1]. Przykładowo, dla sterowania napięciem unipolarnym zniekształcenie to objawia się zmniejszeniem amplitudy napięcia u_{GS} oraz zmniejszeniem wypadkowego współczynnika wypełnienia D_G, związanego z napięciem progowym $U_{GS(th)}$. W celu kompensacji malejącej z częstotliwością amplitudy napięcia u_{GS}, konieczne jest podwyższenie napięcia u_G, zwykle przez podwyższenie napięcia zasilania U_{ZAS} drajwera. Takie zwiększenie napięcia zasilania jest przyczyną wzrostu strat (strat mocy na zasilaniu P_{ZAS}), tym razem głównie w drajwerze, np. scalonym. Dla napięcia bramkowego o kształcie prostokątnym można wyznaczyć całkowite straty mocy P_Q w obwodzie drajwera i tranzystora MOSFET zgodnie z poniższą zależnością:

(1) $$P_Q = P_{DR} + P_G ,$$

gdzie: P_Q – całkowite straty mocy w obwodzie drajwer-tranzystor, P_{DR} – straty mocy w drajwerze, P_G – straty mocy w bramce tranzystora MOSFET.

Sprawność obwodu bramkowego drajwera można wyznaczyć na podstawie powszechnie znanej zależności:

(2) $$\eta = \frac{P_{WY}}{P_{WE}} \cdot 100\% .$$

Przyjmując, że moc wyjściowa P_{WY} obwodu drajwer-tranzystor jest równa mocy strat w samej bramce tranzystora P_G i zakładając, że moc wejściowa P_{WE} jest równa całkowitym stratom mocy P_Q w tym obwodzie, otrzymamy sprawność całkowitą tego podobwodu:

(3) $$\eta_Q = \frac{P_G}{P_Q} \cdot 100\% = \frac{P_G}{P_{DR} + P_G} \cdot 100\% .$$

Ponadto, przyjmując że straty mocy w bramce tranzystora wynoszą:

(4) $$P_G = I_{G(RMS)}^2 \cdot R_G ,$$

a straty mocy drajwera można opisać wzorem:

(5) $$P_{DR} = I_{G(RMS)}^2 \cdot R_{DR} ,$$

otrzymamy zależność (6) na sprawność obwodu drajwer-tranzystor określoną za pomocą pasożytniczych rezystancji bramki tranzystora i drajwera.

(6) $$\eta_Q = \frac{P_G}{P_{DR} + P_G} \cdot 100\% = \frac{I_{G(RMS)}^2 \cdot R_G}{I_{G(RMS)}^2 \cdot \left(R_{DR} + R_G\right)} \cdot 100\% , \quad \eta_Q = \frac{R_G}{R_{DR} + R_G} \cdot 100\%$$

Przykładowo, dla równych wartości rezystancji bramki R_G tranzystora i drajwera R_{DR} moc strat rozłoży się proporcjonalnie, a sprawność wyniesie 50%.

Jeżeli dodatkowo uwzględnimy moc strat zasilania drajwera P_{ZAS}, oraz moc zasilania na biegu jałowym P_J drajwera to zależność (2) przyjmie następującą postać:

(7) $$\eta = \frac{P_{WY}}{P_{WE}} \cdot 100\% = \frac{P_G}{P_{ZAS}} \cdot 100\% .$$

Wstawiając do (7) zależność (1), oraz wykorzystując zależność na moc zasilania P_{ZAS} równą:

(8) $$P_{ZAS} = P_Q + P_J ,$$

Otrzymamy zależność na sprawność samego drajwera:

(9) $$\eta_{DR} = \frac{P_G}{P_{ZAS}} \cdot 100\% = \frac{P_Q - P_{DR}}{P_{ZAS}} \cdot 100\% , \quad \eta_{DR} = \frac{P_{ZAS} - P_J - P_{DR}}{P_{ZAS}} \cdot 100\% .$$

Uwzględniając sprawność obwodu drajwer-tranzystor, wartości rezystancji bramki tranzystora i rezystancji wyjściowej drajwera, otrzymamy rozszerzony wzór opisujący sprawność drajwera:

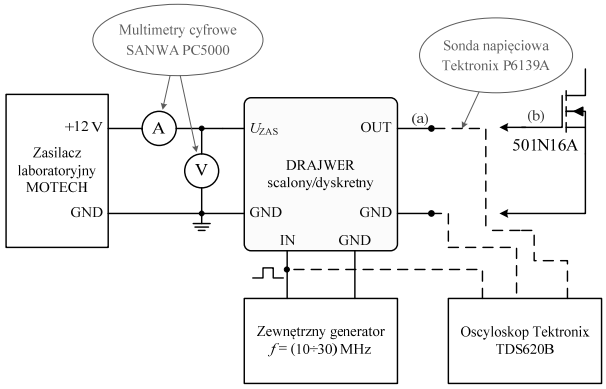
(10) $$\eta_{DR} = \frac{P_Q}{P_{ZAS}} \cdot \eta_Q = \frac{P_Q \cdot \left(\frac{R_G}{R_G + R_{DR}}\right)}{P_{ZAS}} \cdot 100\% , \quad \eta_{DR} = \frac{(P_{ZAS} - P_J) \cdot \left(\frac{R_G}{R_G + R_{DR}}\right)}{P_{ZAS}} \cdot 100\% .$$

Ponieważ istnieje znaczący problem pomiaru prądu bramki I_G z racji krótkiego połączenia (pin w pin) drajwera i tranzystora MOSFET, oraz nie występuje dodatkowy

rezystor bramkowy, sprawność całego podobwodu należy określać na podstawie powyższych zależności.

Badania laboratoryjne

Rysunek 2 przedstawia schemat pomiarowy, który posłużył do wyznaczenia i porównania sprawności różnych sterowników bramkowych. W ramach pracy przebadane zostały: dwa komercyjne, scalone układy drajwerów firmy IXYS Corporation o oznaczeniach DEIC420 i IXRFD630 oraz trzy dyskretne układy konstrukcji własnej autora niniejszego artykułu o oznaczeniach: 8xUCC27526, 8xEL7457 i 4xEL7104. Dyskretne drajwery zostały wykonane w postaci obwodu PCB z materiału IMS [13] w technologii platerowania. Materiał ten składa się z aluminiowego podłoża o grubości ok. 1,5 mm, na które została naniesiona cienka warstwa izolatora ceramicznego (100 μm) i miedzi o grubości 35 μm. Elementy elektroniczne, które zostały wyselekcjonowane do wykonania tych dyskretnych układów służą do sterowania tranzystorów MOSFET małej mocy. Szczegółowy opis scalonych, jak i dyskretnych konstrukcji drajwerów znaleźć można m. in. w literaturze [1, 2, 3]. Noty katalogowe poszczególnych drajwerów scalonych, jak i układów małej mocy przedstawiono w literaturze [8, 9, 10, 11, 12].



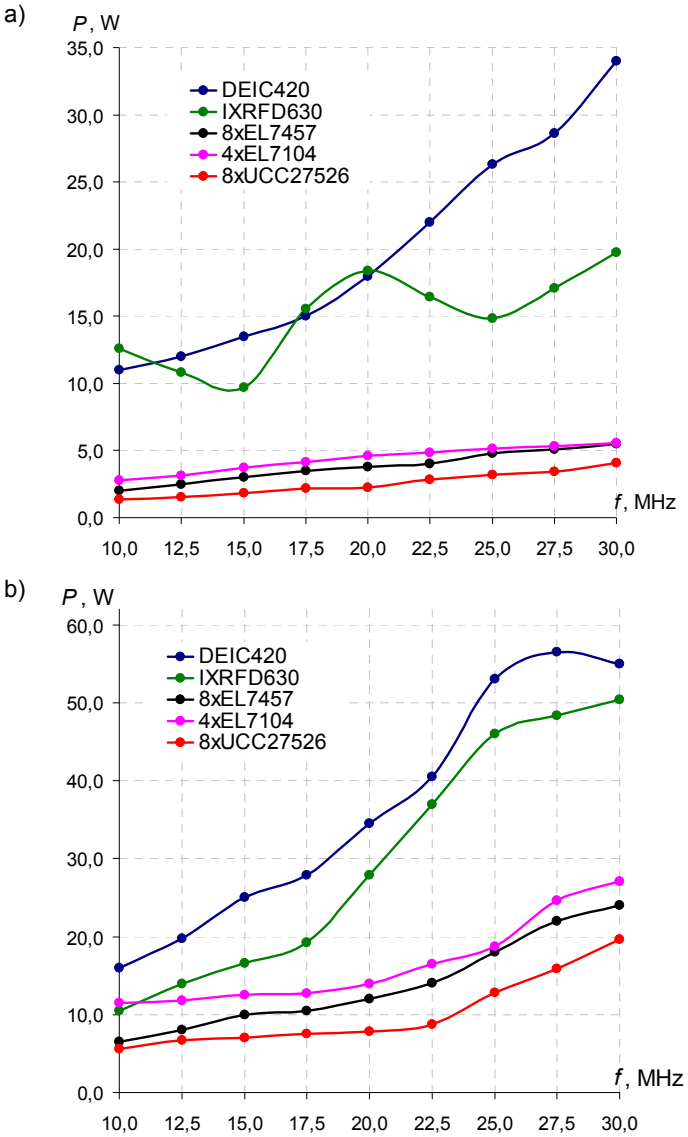
Rys.2. Schemat układu pomiarowego służący do wyznaczenia sprawności badanych drajwerów

W celu wyznaczenia sprawności przyjęto następujące założenia:

- napięcie zasilania drajwerów U_{ZAS}=12 V,
- częstotliwość pracy była zadawana w zakresie od 10 MHz do 30 MHz z zewnętrznego generatora, co 2,5 MHz, współczynnik wypełnienia sterowania D=0,5,
- pomiar mocy był wykonywany dla dwóch trybów pracy: biegu jałowego i obciążenia bramką tranzystora MOSFET serii DE275-501N16A,
- temperatura otoczenia T_A=25ºC,
- pomiary przeprowadzano dla stanu ustalonego temperatury drajwerów.

Jak wspomniano wcześniej, pomiar mocy zasilania drajwerów dla biegu jałowego i obciążenia bramka wybranego tranzystora MOSFET jest w zasadzie jedynym pomiarem jaki można wykonać, ze względu na konieczność wykonania krótkiego połączenia wyjścia drajwera z obwodem bramkowym tranzystora. Przyjęta metoda wyznaczenia sprawności bazuje na pomiarach wyżej wymienionych wartości mocy oraz znajomości rezystancji wyjściowej drajwera R_{DR} i bramki R_G tranzystora. Wartości tych dwóch rezystancji można otrzymać wykorzystując np. precyzyjny analizator impedancji Agilent 4294A [6, 7], który umożliwia pomiar parametrów pasożytniczych dowolnych elementów dla przedziału częstotliwości od 40 Hz do 100 MHz. Sposób wyznaczenia rezystancji wyjściowej drajwerów i rezystancji bramki tranzystora MOSFET serii DE275-501N16A szerzej opisano m. in. w artykule [2]. Ponieważ problematyka tego artykułu skupia się na wyznaczeniu sprawności sterowników bramkowych problem określenia parametrów pasożytniczych drajwerów, jak i tranzystorów został pominięty.

Na rysunku 3 przedstawiono charakterystyki mocy pobieranej przez drajwery dla dwóch trybów pracy: biegu jałowego (a) i obciążenia bramką tranzystora MOSFET serii DE275-501N16A (b).



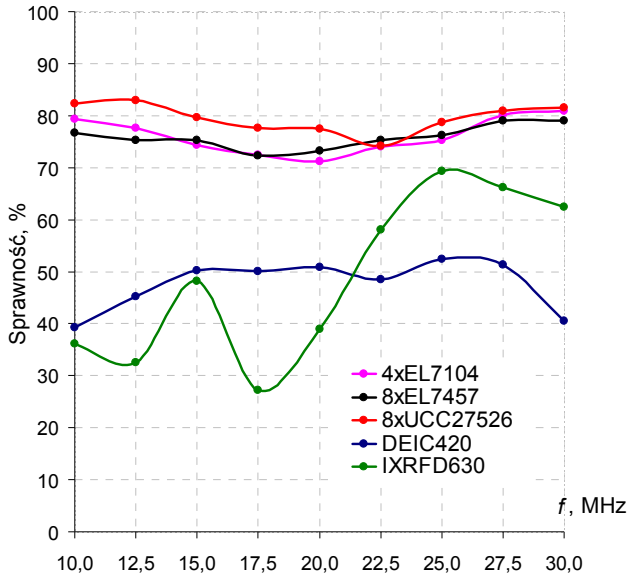
Rys.3. Charakterystyki mocy pobieranej przez drajwery dla dwóch trybów pracy: biegu jałowego (a) i obciążenia bramką tranzystora MOSFET serii DE275-501N16A (b)

Charakterystyki mocy zostały wyznaczone dla częstotliwości z przedziału od 10 MHz do 30 MHz zgodnie z założeniami opisanymi powyżej. Można zauważyć, że komercyjne sterowniki bramkowe charakteryzują się kilkukrotnie większym poborem mocy zasilania biegu jałowego (rys.3a). Drajwer scalony DEIC420 pobiera ok. 34 W, natomiast dyskretny drajwer 8xUCC27526 charakteryzuje się stratami biegu jałowego na poziomie ok. 4 W. W przypadku obciążenia wyjść drajwerów bramką wytypowanego tranzystora MOSFET (rys.3b) straty mocy drajwerów scalonych wzrastają do ok. 50 W, układy dyskretne pobierają moc z zasilania na poziomie ok. 20 W. Jak wykazały badania, tak duży pobór mocy na biegu jałowym drajwerów scalonych jednoznacznie wskazuje na

istnienie problemu zwarć skrośnych w wyjściowym stopniu wzmacniającym tych drajwerów. Zwarcia skrośne przy przełączaniu tranzystorów stopnia wyjściowego drajwera, w przekonaniu autora, są celowym zabiegiem technologicznym, mającym na celu skrócenie czasów przełączania wyjścia drajwera. Problem identyfikacji zwarć skrośnych w scalonych sterownikach bramkowych będzie tematem przyszłych prac badawczych autora niniejszego artykułu. Na podstawie powyższych charakterystyk mocy (rys.3), znajomości rezystancji pasożytniczych R_{DR} drajwerów i tranzystora R_G zgodnie z zależnością (10) wykreślono charakterystyki sprawności (rysunek 4). Rezystancja bramki R_G tranzystora MOSFET serii DE275-501N16A wynosi 371 mΩ i została wyznaczona na analizatorze impedancji Agilent 4294A dla maksymalnej częstotliwości 30 MHz.

Tabela 1. Zestawienie rezystancji wyjściowych R_{DR} badanych drajwerów

DRAJWER	Rezystancja R_{DR}, mΩ
DEIC420	469
IXRFD630	1240
8xUCC27526	135
4xEL7104	138
8xEL7457	272



Rys.4. Charakterystyki sprawności drajwerów dla pracy przy obciążeniu bramką tranzystora MOSFET

Analizując charakterystykę sprawności drajwerów (rys.4) można zauważyć, że wszystkie wykonane drajwery dyskretne charakteryzują się wyższą sprawnością w stosunku do komercyjnych drajwerów scalonych. Przykładowo, scalony sterownik bramkowy o oznaczeniu IXRFD630 charakteryzuje się sprawnością ok. 63%, a dyskretny drajwer 8xUCC27526 ma sprawność ok. 82% (przy zachowaniu takich samych warunków pracy tj. napięcia zasilania, obciążenia, temperatury otoczenia). Dodatkowo, dla układu IXRFD630 szerzej opisanego w pracy [1], występują pewne lokalne ekstrema np. przy częstotliwości 15 MHz i 25 MHz, które są spowodowane przez rezonanse dla wyższych, nieparzystych harmonicznych prostokątnego przebiegu wymuszającego U_G – odpowiednio dla piątej i trzeciej harmonicznej.

Podsumowanie

W artykule przedstawiono sposób określania sprawności wysokoczęstotliwościowych sterowników bramkowych – drajwerów dedykowanych do pracy z tranzystorami MOSFET serii DE. Prezentowane rozwiązania sterowników charakteryzują się kilkukrotnie mniejszymi stratami mocy w odniesieniu do komercyjnych rozwiązań pracujących z maksymalną częstotliwością wynoszącą 30 MHz. Prezentowana problematyka określenia i wyznaczenia sprawności tego typu wysokoczęstotliwościowych drajwerów wydaje się być aktualna i niezwykle istotna. Sprawność tego typu układów stanowi istotny wskaźnik efektywności sterowania procesem przełączania bramki tranzystora MOSFET mocy.

W ramach pracy przebadano pięć układów drajwerów: dwa komercyjne, scalone układy DEIC420 i IXRFD630, oraz trzy rozwiązania dyskretne konstrukcji własnej autora: 8xUCC27526, 8xEL7457 i 4xEL7104. Jak wykazały badania sprawność scalonych drajwerów jest na poziomie 50%, co świadczy o słabej efektywności sterowania (duże straty biegu jałowego – ok. 30 W, długie czasy przełączeń – 4 ns, niskie i odkształcone napięcie wyjściowe drajwera). Rozwiązania dyskretne charakteryzują się znacznie odmiennymi właściwościami. Sprawność tych układów wynosi ponad 70%, małe straty mocy na biegu jałowym – ok. 5 W, czasy przełączeń na poziomie 1,5 ns. Ponadto, wszystkie dyskretne drajwery charakteryzują się małymi wartościami rezystancji wyjściowej R_{DR} (tabela 1), która w dużej mierze odpowiada za straty mocy w obwodzie drajwer-tranzystor oraz za dynamikę przeładowania wewnętrznej pojemności bramki C_G tranzystora MOSFET mocy.

***Autorzy**: dr inż. Piotr Legutko, dr hab. inż. Marcin Kasprzak, prof. Pol.Śl., mgr inż. Kamil Kierepka, Politechnika Śląska, Katedra Energoelektroniki, Napędu Elektrycznego i Robotyki, ul. Bolesława Krzywoustego 2, 44-100 Gliwice, E-mail: piotr.legutko@polsl.pl, marcin.kasprzak@polsl.pl, kamil.kierepka@polsl.pl*

LITERATURA

[1] Legutko P., Analiza wysokoczęstotliwościowych drajwerów tranzystorów MOSFET mocy stosowanych w falownikach rezonansowych, Rozprawa doktorska, Politechnika Śląska, Gliwice 2017
[2] Legutko P., Wysokoczęstotliwościowe, dyskretne drajwery małej mocy dedykowane do tranzystorów MOSFET serii DE, Przegląd Elektrotechniczny, R. 92, nr 4/2016, ISDN 0033-2097
[3] Legutko P., Niskostratny drajwer tranzystora MOSFET mocy, Pomiary Automatyka Kontrolna, vol. 60 nr 3/2014, ISDN 0032-4140
[4] Kaczmarczyk Z., Poprawa właściwości energetycznych falowników klasy E przez maksymalizację wykorzystania tranzystora, Rozprawa habilitacyjna, Wydawnictwo Politechniki Śląskiej, 2007
[5] Tranzystor MOSFET serii DE275-501N16A, http://www.ixys.com
[6] Analizator impedancji Agilent 4294A, htt://www.keysight.com
[7] Agilent technologies Co. Ltd. "The Impedance Measurement Handbook", December 2003
[8] Dokumentacja techniczna drajwera DEIC420 dostępna pod adresem: http://ixys.com
[9] Dokumentacja techniczna drajwera IXRFD630 dostępna pod adresem: http://ixys.com
[10] Dokumentacja techniczna układu scalonego UCC27526 dostępna pod adresem: http://www.ti.com
[11] Dokumentacja techniczna układu scalonego EL7457 dostępna pod adresem: http://www.intersil.com
[12] Dokumentacja techniczna układu scalonego EL7104 dostępna pod adresem: http://www.intersil.com
[13] Opis materialu IMS: „Co to jest IMS", http://www.komel.katowice.pl