

doi:10.15199/48.2018.03.07

Sterownik dwukierunkowego wielomodułowego przekształtnika DC//DC zrealizowany na platformie FPGA

Streszczenie. W artykule omówione zostały zagadnienia związane z projektowaniem sterownika mikroprocesorowego dedykowanego do obsługi modułowego dwukierunkowego przekształtnika prądu stałego z izolacją galwaniczną w postaci podwójnych mostków aktywnych (DAB). W zależności od potrzeb, układ ten może pracować w konfiguracji równoległej lub szeregowo-równoległej zapewniając jednocześnie większą niezawodność, dzięki możliwości pracy z redundancją $n+1$. Realizacja pełnej funkcjonalności tego przekształtnika wymaga dużej liczby sygnałów cyfrowych i odpowiedniej mocy obliczeniowej, dlatego do jego obsługi opracowano sterownik w układzie programowalnym (FPGA). W rezultacie uzyskano bardzo ciekawe możliwości kontrolera, nieosiągalne w klasycznych układach mikroprocesorowych.

Abstract. In this paper a design process of digital controller dedicated to bidirectional modular DC//DC converter with galvanic isolation with dual active bridge (DAB) was presented. Depending of the application, proposed system may work as parallel (IPOP) or series-parallel (ISOP) configuration and provide higher reliability – thanks to redundancy $n+1$. Realization of all features of this converter needs the large number of control signals and a huge performance, therefore digital controller was implemented in programmable logic array (FPGA). Finally, a very good performance of the controller was obtained, which was unable to reach by other microcontrollers. (**Digital controller of bidirectional multi-modular DC//DC converter implemented in FPGA**).

Słowa kluczowe: układ programowalny (FPGA), podwójny mostek aktywny (DAB), przekształtnik modułowy prądu stałego, sterowanie.

Keywords: programmable logic array (FPGA), dual active bridge (DAB), DC//DC modular converter, controller design.

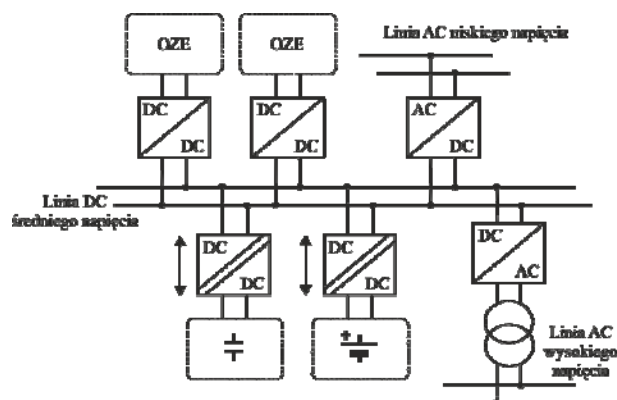
Wstęp

Rosnące zapotrzebowanie na „czystą” energię elektryczną, wymaga zmiany tradycyjnego sposobu jej przetwarzania i zarządzania. Integracja odnawialnych źródeł energii (OZE) z systemem elektroenergetycznym, opartym głównie na konwencjonalnych źródłach energii niesie za sobą konieczność stosowania dodatkowych pośrednich stopni jej przetwarzania, w celu zapewnienia najwyższego stopnia niezawodności całego systemu. Nowa wizja systemu elektroenergetycznego przewiduje zastosowanie inteligentnych mikrosieci (w literaturze anglojęzycznej określanych jako *smart grids* i *microgrids*) skupiających lokalnie rozproszone źródła, magazyny i odbiorców energii elektrycznej [1]. W obecnej fazie prowadzonych prac badawczych, szczególnie ciekawa i obiecująca jest koncepcja rozwoju mikrosieci prądu stałego, której centralną magistralę stanowi linia prądu stałego charakteryzująca się średnim napięciem [2]. Do linii tej dołączone są zarówno źródła OZE jak również stacjonarne magazyny energii i jej odbiorcy. Mikrosieci DC (rys.1), wyposażone w nowoczesne przekształtniki energoelektroniczne oraz inteligentne czujniki mogą zapewnić wysoki stopień niezawodności, łatwość rekonfiguracji i rozbudowy oraz wygodne zarządzanie przepływem tej energii, dopasowanym do aktualnego zapotrzebowania [1].

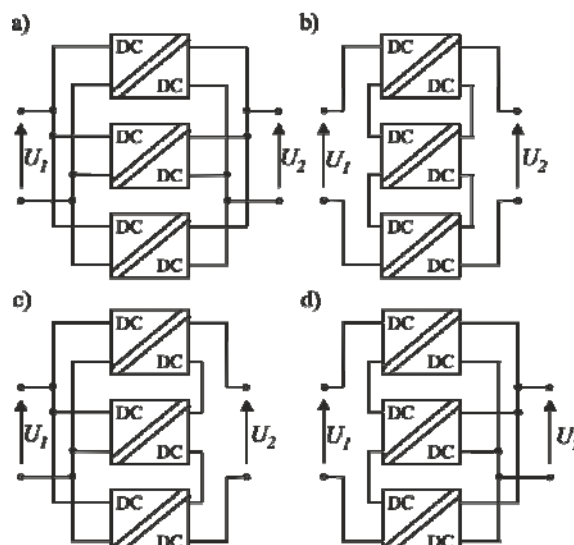
Ze względu na konieczność zapewnienia sprzęgu DC//DC o odpowiednio dużej przekładni napięciowej i dużej mocy, przy jednoczesnym zachowaniu wysokiej częstotliwości łączy tranzystorów, przy obecnej technologii łączników półprzewodnikowych, uzasadnione jest stosowanie układów modułowych [3]. Przekształtniki wielomodułowe mogą występować w różnych konfiguracjach połączeń (rys. 2), dzięki czemu mogą być łatwo dopasowywane do różnych potrzeb, bez konieczności zmiany parametrów pojedynczego modułu. Główne korzyści płynące z modułowej struktury sprzęgu to: zwiększenie mocy układu, możliwość zwielokrotnienia przekładni napięciowej oraz wzrost niezawodności np. przez zastosowanie redundancji $n+1$ [4][5].

Biorąc pod uwagę wymagania stawiane takim układom, w roli standardowego bloku szczególnie atrakcyjny wydaje się być układ podwójnego mostka aktywnego (DAB) z obwodem pośredniczącym wysokiej częstotliwości [6][7].

Układ ten zapewnia dwukierunkowy przepływ energii, wysoką sprawność energetyczną oraz wysoki wskaźnik gęstości energii przy zapewnieniu izolacji galwanicznej sprzęganych obwodów.

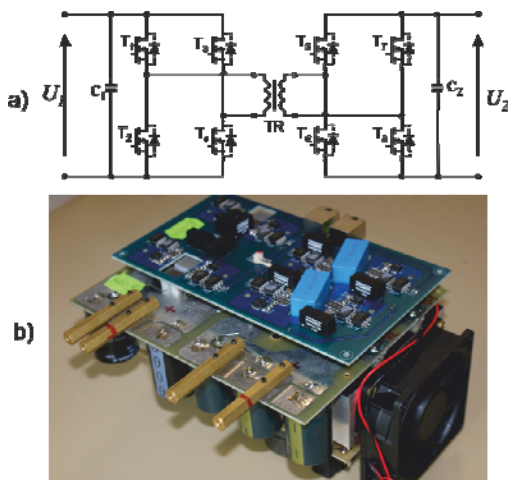


Rys.1. Przykład zastosowania przekształtnika DC//DC jako sprzęgu głównej szyny DC średniego napięcia z magazynami energii w mikrosieci prądu stałego



Rys.2. Topologie przekształtnika modułowego w konfiguracji równoległej (a), szeregowo-równoległej (b) i szeregowo-równoległej (c)-(d)

W ramach zakończonego projektu badawczego w Instytucie Sterowania i Elektroniki Przemysłowej Politechniki Warszawskiej powstał model laboratoryjny trójmodułowego przekształtnika DC/DC z układami DAB o łącznej mocy 10kW/100kHz, którego szczegółowy opis przedstawiono w pracy [8]. Głównym celem projektu była optymalizacja energetyczna i termiczna układu. Jeden z modułów DAB wykonany w ramach tego projektu przedstawiono na rysunku 3.

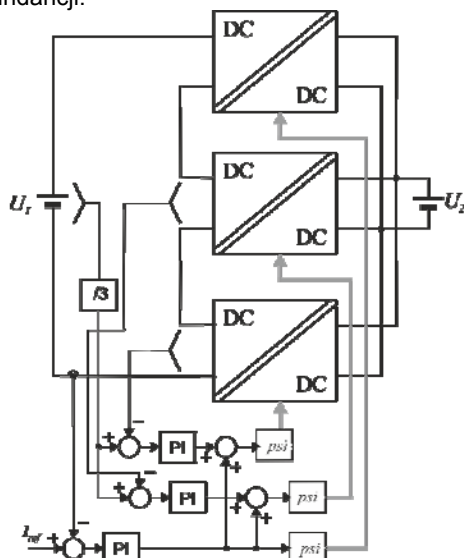


Rys.3. Schemat elektryczny (a) i model laboratoryjny (b) podwójnego mostka aktywnego wykorzystany do budowy trójmodułowego przekształtnika DC/DC pracującego z częstotliwością 100kHz

Układ sterowania

Oprócz samego projektu przekształtnika, jednym z kluczowych zagadnień w badaniach nad zastosowaniem wielomodułowego układu DAB pracującego z wysoką częstotliwością łączy jest układ sterowania [9]. Główne wymagania wobec tego układu to:

- duża liczba wyjść sterujących modułami DAB,
- generowanie sygnałów PWM z wysoką częstotliwością,
- przesunięcie fazowe nastawiane z dużą rozdzielczością,
- wykonywanie szybkich pomiarów napięć i prądów w układzie,
- realizacja zamkniętej pętli sterowania z regulatorami prądów i napięć (rys.4),
- możliwość rekonfiguracji układu do realizacji redundancji.



Rys.4. Blokowy schemat układu regulacji trójmodułowym przekształtnikiem DC/DC w konfiguracji szeregowo-równoległej

Wybór układu cyfrowego

Biorąc pod uwagę sprecyzowane powyżej wymagania, sterownik przekształtnika modułowego może być zrealizowany zarówno na układzie programowalnym jak również na specjalizowanym mikrokontrolerze (np. w procesorze DSP [9]). W obydwu przypadkach sposób jego wykonania jest zasadniczo odmienny [10]. Programiści najczęściej wybierają sprawdzone rozwiązania mikroprocesorowe przy zachowaniu najkrótszego czasu realizacji oprogramowania. Sytuacja komplikuje się w przypadku złożonego układu oraz przy niestandardowych rozwiązaniach. Jednym z takich przypadków jest omawiany na wstępie wielomodułowy układ przekształtnika DC/DC. Taki układ zawiera dużą liczbę wyjść PWM (zależną od liczby modułów) o znaczącym wykorzystaniu mocy obliczeniowej. W wersji DSP wymagane jest użycie, co najmniej kilku procesorów, rzadziej jednego większego. W takim zastosowaniu celowe może być wykorzystanie jednego układu programowanego. Przy porównaniu tych rozwiązań należy uwzględnić zarówno sposób realizacji sterowania PWM, jak i inne właściwości, zestawione w tabeli 1.

Układy FPGA pozwalają projektantom tworzyć własne konstrukcje logiczne dla wysoko wydajnych aplikacji przetwarzania sygnałów. Najczęściej związane jest to z utworzeniem indywidualnych modułów logicznych realizujących specyficzne zadania. Tego typu rozwiązania wymagają znajomości projektowania układów programowalnych oraz syntezy logicznej. Dla potrzeb omawianego układu przekształtnikowego przetestowano i porównano rozwiązania dla obydwu platform: DSP oraz FPGA. W roli układu programowalnego wykorzystano układ Altera Cyclone IV, w wersji zestawu ewaluacyjnego DEO-Nano firmy Terasic [11], który był porównywany z procesorem DSP TMS320F28335, firmy Texas Instruments, w wersji zestawu ewaluacyjnego ControlCard 28335 [12].

Tabela 1. Porównanie właściwości układów DSP i FPGA dla zastosowań w energoelektronice

Cechy	DSP	FPGA
Realizacja obliczeń	Specjalna jednostka obliczeniowa	Konfigurowana logika
Rozdzielczość PWM	Zgodna z zegarem taktującym	Określona specyfikacją rdzenia matrycy ¹
Konfigurowalność I/O	Ograniczona	Dowolna
Implementacja złożonych algorytmów	Prostsza	Trudniejsza
Sterowanie w czasie rzeczywistym	Wykorzystanie trybu debugowania	Wymaga napisania specjalnego programu
Wydajność	Niższa	Większa
Język programowania	C/C++	HDL/C/C++ dla wbudowanego CPU)
Przetwornik A/C	Wewnętrzny	Zewnętrzny ²
Umieszczenie pamięci programu	Wewnętrzne	Zewnętrzne ³
Zużycie energii	Większe	Mniejsze

Realizacja sterownika w układzie programowalnym

Układ programowalny odpowiada przede wszystkim za wygenerowanie sygnałów PWM o dużej rozdzielczości doysterowania przekształtników DAB. Jednocześnie przetwarzane są wartości z przetwornika ADC, a następnie

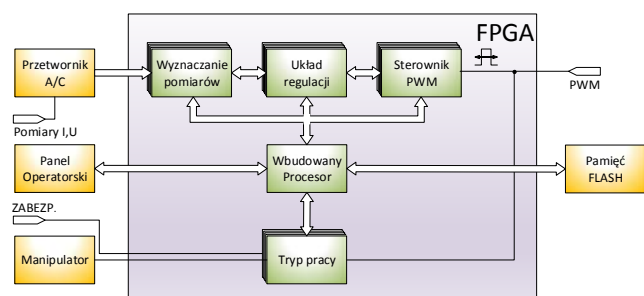
¹ Dla Cyclone IV [13]

^{2,3} Wyjątkiem są Układy FPGA MAX10 [14]

na ich podstawie w układzie regulacji jest wyznaczany kąt przesunięcia między sygnałami PWM. Dodatkowo dla potrzeb badawczych uwzględniono różne tryby pracy układu, które determinują sposób sterowania sygnałami PWM, w zależności od pożądanego stanu. Uwzględniono:

- uruchomienie układu,
- wyłączenie sterowania,
- pracę jałową,
- pracę z regulacją w zamkniętej pętli sterowania,
- pracę z manualnym sterowaniem przepływem mocy.

Każdy z tych trybów wymaga zewnętrznego układu komunikacji z użytkownikiem, nadzorującego jego pracę. W tym celu posłużono się zewnętrznym panelem operatorskim, umożliwiającym sterowanie oraz monitoring parametrów przekształtnika. Dotyczy to najistotniejszych parametrów i stałych współczynników wprowadzanych w układzie regulacji oraz generowania przebiegów PWM. Zaproponowany układ sterowania na FPGA przedstawiono na schemacie na rysunku 5. Podstawowe parametry układu Altera Cyclone IV umieszczono w tabeli 2.



Rys.5. Ogólny schemat sterownika na platformie FPGA

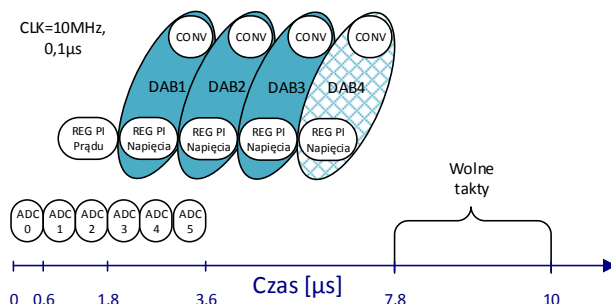
Tabela 2. Podstawowe zasoby układu FPGA Altera Cyclone IV

Lp.	Zasoby	Wartość
1	Elementy logiczne (LEs)	22 320
2	Wbudowana pamięć (Kb)	594
3	Wbudowane multiplikatory 18x18 bitów	66
4	Układy PLL (ang. phase locked loop)	4
5	Liczba wyprowadzeń I/O	153
6	Temperatura pracy	0°C - 85°C
7	Maksymalny prąd na wyjściu I/O	40mA
8	Standard napięciowy I/O	1,2 – 3,3 V
9	Częstotliwość taktowania rdzenia	max. 500 MHz
10	Opóźnienie sygnału wyjściowego	0,437 ns
11	Opóźnienie sygnału wejściowego	1,312 ns

Proces realizacji obliczeń na matrycy można podzielić na trzy etapy. Na początku wykonywane są przeskalowania wyników pomiarów z przetwornika ADC (ADC0...ADC5) na odpowiedniki rzeczywiste. Na ich podstawie, w bloku REG PI (rys.6) jest wyznaczane przesunięcie fazowe między sygnałami sterującymi tranzystory w gałęziach mostków przekształtnika DAB. Ostatnim etapem jest przeskalowanie przesunięcia PWM z postaci zmiennoprzecinkowej na wektor bitów odpowiadający generatorowi PSM (rys.7). Za ten proces odpowiada blok „CONV” przedstawiony na rysunku 6. Uzyskane przesunięcie jest multipleksowane z wartością wyznaczoną z manipulatora na panelu komunikacji z użytkownikiem. Cały proces dla 3 modułów DAB jest wykonywany w ciągu 60 cykli zegara o częstotliwości 10MHz. Zaś przy wyznaczeniu kąta przesunięcia dla czwartego modułu, wymagane jest wydłużenie cyklu obliczeniowego na 78 taktów zegara (rys.6). Pozostałe cykle są niewykorzystane i stanowią rezerwę dla ewentualnego dodania do układu kolejnych bloków arytmetycznych lub innych modułów.

Należy zaznaczyć, że w tym układzie regulacji (rys.6) wykorzystano po jednym bloku ADC, REG PI oraz CONV (rys.6). Pierwsze dwa bloki są zrealizowane na oddzielnych

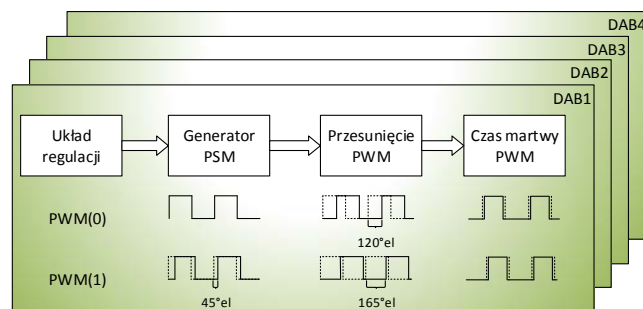
automatach stanów. Takie rozwiązanie uprościło syntezę logiczną dla różnych obliczanych danych. Każdy proces jest wykonany w różnych chwilach czasowych. Uzyskiwane wyniki z tych bloków są pobierane i przechowywane w pamięci przez cały cykl obliczeniowy. Zastosowanie oddzielnych bloków pozwoliło zaoszczędzić liczbę użytych komórek logicznych w matrycy. Przykładem jest regulator PI (zoptymalizowany pod kątem szybkości), który zajmuje ok. 3300 bloków logicznych. Wykorzystanie takich czterech układów wymagałoby więcej komórek logicznych niż cały układ regulacji. Innym rozwiązaniem jest zmniejszenie rozmiarów regulatora PI kosztem zwiększenia jego opóźnień obliczeniowych. Sposób doboru tego rozwiązania zależy od właściwości układu regulacji oraz jego zdolność radzenia sobie z modyfikacjami w strukturze regulacji. Wprowadzenie drobnych zmian może przyczynić się do zmian poszczególnych bloków. Związane jest to z ponownym przeprojektowaniem całego procesu regulacji w dziedzinie czasu.



Rys.6. Czasowa prezentacja realizacji układu regulacji w FPGA

W układzie programowanym można zrealizować układ regulacji na dwóch płaszczyznach. Pierwszy wykorzystuje sprzętowo skonfigurowane układy logiczne na blokach arytmetycznych. Wykorzystuje duże ilości komórek logicznych, lecz jego atutem jest niezależność układu od pozostałych bloków. Zaś drugie rozwiązanie polega na softwarowych rozwiązaniu, opierając się na wbudowanym procesorze NIOS. Ten typ rozwiązania wykonuje się podobnie do rozwiązania realizowanego na procesorze DSP. Cały układ zawiera wtedy niewielką, stałą liczbę komórek logicznych (od 2000 do 2500) wykorzystując głównie pamięć bitową. Cały proces obliczeniowy będzie wykonywany sekwencyjnie.

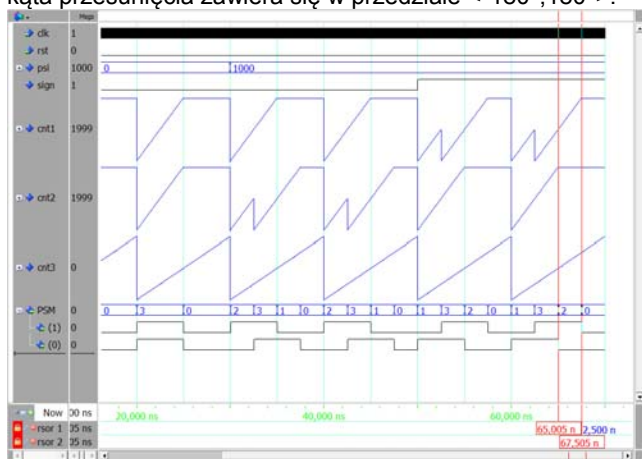
Układ odpowiadający za generowanie sygnałów PWM w układzie programowalnym zapewnia ogromne możliwości. Związane jest to brakiem ograniczeń sprzętowych, jak jest to w przypadku DSP. Dla zapewnienia niezawodności działania układu, dobrym nawykiem jest podzielenie całego układu na mniejsze moduły (rys.7).



Rys.7. Schemat blokowy ilustrujący sterownik PWM

Generator PWM jako samodzielny układ, wykonano na trzech licznikach bitowych (*cnt1*, *cnt2*, *cnt3*), gdzie *cnt1* oraz *cnt2* odpowiadają za stany logiczne PWM(0) i PWM(1) (rys.8). Licznik *cnt3* jest głównym układem zliczającym

przesunięcie oraz wpływa na pracę pozostałych liczników. Po wprowadzeniu przesunięcia (psi), przy bicie znaku $sign=0$, nastąpi wyzerowanie licznika $cnt2$, który oczekuje na spełnienie warunku $cnt3 = psi$. Kiedy to nastąpi, układ ustawia sygnał PWM(0) na stan wysoki (logicznej jedynki). Analogicznie sytuacja wygląda dla pozostałego licznika $cnt1$ oraz stanu na wyjściu PWM(1). Zmiana wartości bitu $sign$ na przeciwny odwraca przyporządkowanie liczników do sygnałów wyjściowych PWM. Ważną kwestią dla prawidłowego działania tego bloku, przy przejściu kąta psi przez zero, ma aktualizacja wartości przesunięcia (psi oraz $sign$). Obie te wartości są odczytywane tylko jednorazowo przy każdym wyzerowaniu głównego licznika $cnt3$. Obszar kąta przesunięcia zawiera się w przedziale $\langle -180^\circ; 180^\circ \rangle$.



Rys.8. Czasowa prezentacja układu generującego sygnały PWM

Tryb PWM charakteryzuje się dodatkowym układem, umożliwiającym przesunięcia sygnałów PWM dla każdego przekształtnika o dowolny kąt z zakresu $\langle 0; 360^\circ \rangle$. Ten tryb ma szczególnie znaczenie dla układów wielomodułowych, gdyż umożliwia załączanie tranzystorów w poszczególnych modułach DAB w różnych chwilach w okresie. Wpływa to na przebieg prądu wejściowego w obwodzie wysokonapięciowym oraz na częstotliwość tętnień w obwodach DC sprzęgu.

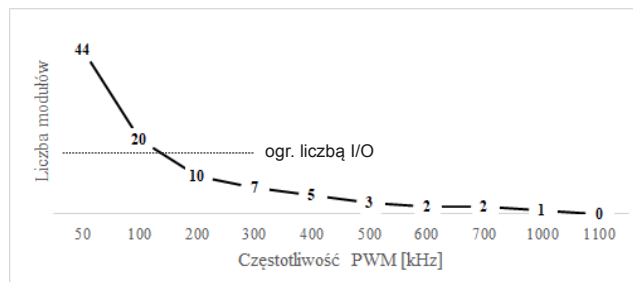
Implementacja algorytmu na platformie FPGA

Należy zaznaczyć, iż rozbudowa algorytmu przekształtnika DC/DC o kolejne moduły nie stanowi dużego spadku wydajności w układzie sterowania, gdyż każdy układ jest realizowany wspólnie. Takie rozwiązanie jest szczególnie korzystne dla wielomodułowych przekształtników i stanowi podstawową przewagę nad rozwiązaniami bazującymi na procesorach DSP. Dodawanie kolejnych modułów może być realizowane na kilka sposobów, m.in.:

- 1) Przez dodawanie kolejnych elementów sterowania w jednym cyklu obliczeniowym (tak jak na rysunku 6 dodano czwarty sterownik - DAB4),
- 2) Przez zwiększenie zegara dla układu sterowania (częstotliwość zegara nie powinna być większa niż maksymalna częstotliwość taktowana dla bloków arytmetycznych, gdyż spowoduje to wydłużenie opóźnień obliczeniowych. Oprogramowanie pozwala wyznaczyć optymalną wartość, która dla rozważanego układu FPGA wynosi 40MHz),
- 3) Przez zdublowanie układu sterowania (jeśli wystarczy komórek logicznych w matrycy).

Układy programowalne FPGA mają ogromne możliwości obliczeniowe oraz szczególne predyspozycje do generacji dużej liczby sygnałów PWM. Dla omawianego układu sterowania (częstotliwość przełączania $f_s=100$ kHz) możliwe

jest zrealizowanieysterowania nawet dla 20–modułowego układu z przekształtnikami DAB. Przy zastosowaniu rygorystycznych parametrów dla matrycy, można potencjalnie osiągnąć wysokie parametry dla różnych częstotliwości PWM. Dla potwierdzenia tych możliwości przeprowadzono stosowne obliczenia, których rezultaty przedstawiono na rysunku 8. Przy dokonywaniu obliczeń uwzględniono identyczne bloki logiczne w każdym przypadku. Zmieniano tylko zegar w układzie sterowania oraz liczbę modułów DAB. Wyniki wykonano dla ponad 50% z komórek logicznych. Przy każdej zmianie liczby modułów zmieniono liczbę wykorzystanych bloków odpowiedzialnych za generowanie sygnałów PWM.



Rys.9. Wykres przedstawiający możliwość sterowania wielomodułowego przekształtnika DAB na FPGA (przy założeniach: $clk_sterowania = 40MHz$, $clk_pwm = 400MHz$)

Cały układ sterowania przekształtnikiem czteromodułowym wykonano przy wykorzystaniu nieco ponad połowy z dostępnych komórek logicznych. Sposób wykorzystania tych komórek przez poszczególne bloki układu sterowania przedstawiono w tabeli 3, a także na rysunku 10. Najwięcej przestrzeni zajmują bloki arytmetyczne w tym układy dodawania oraz odejmowania (każdy po 841 tablic LUT's (ang. *LookUp Table*)). Dla układu mnożącego wykorzystano specjalnie dedykowane multiplikatory 18x18 umożliwiające przyspieszenie obliczeń oraz zmniejszające zużycie logiki (288 LUT's). Każdy z wykorzystanych bloków w czasie syntezy logicznej zostaje zmniejszone przez kompilator w stopniu zależnym od ich użycia. Z tego względu objętość tych samych jednostek logicznych w różnych pozycjach kodu nie oznacza ich kumulacji w wykorzystaniu.

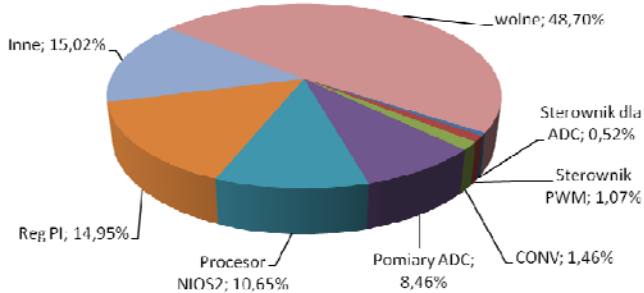
Tabela 3. Wykorzystane komórki logiczne dla poszczególnych komponentów układu sterowania

Lp.	Element	Komórki logiczne (LC)
1	Sterownik do przetwornika ADC	116 (0.52%)
2	Wyznaczanie pomiarów (ADC)	1890 (8.46%)
3	Reg PI	3338 (14.95%)
4	CONV	326 (1.46%)
5	Sterownik PWM (oddzielny dla każdego modułu)	238 (1.07%)
6	Inne	3353 (15.02%)
7	Procesor NIOS2	2377 (10.65%)
8	Układ sterowania dla 3 - modułowego DAB	10381 (46.51%)
9	Układ sterowania dla 4 - modułowego DAB	10869 (48.70%)

Przy dokonywaniu wyboru układu sterowania na FPGA należy pamiętać o jego sposobie realizacji obliczeń. Jakikolwiek zmiany w kodzie wywołują zmiany w jego strukturze logicznej. Spowoduje to ponowny proces kompilacji całego projektu.

Procesy wykonywane przy wysokich częstotliwościach (setki MHz) dla FPGA należy stosować tylko w koniecznych przypadkach. Przy rozbudowanych projektach, gdzie tego typu zegar jest wykorzystany w różnych procesach,

spowoduje to jego osłabienie, co w konsekwencji może wywołać zniekształcenie sygnału. Jest to jedna z przyczyn błędów w procesach, które są trudne do identyfikacji i mogą występować w sposób losowy dopiero w rzeczywistym układzie, mimo że w symulacjach sterownik działał prawidłowo. Warto jest wtedy uwzględnić dodatkowo sygnał zegarowy lub zmniejszyć złożoność kombinacji logicznych.

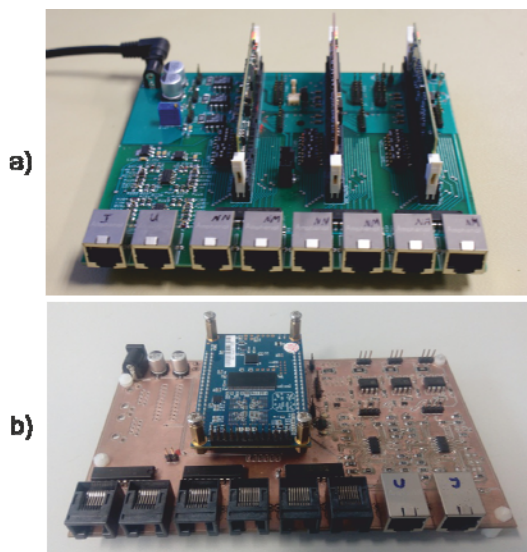


Rys.10. Sposób wykorzystania komórek logicznych do realizacji głównych komponentów układu sterowania w układzie Cyclone IV

Istotną kwestią jest sposób realizacji sygnałów zapamiętujących dane. W układach procesorowych zmienne mogą być zmieniane głównie przez procesor lub inną jednostkę (np. DMA, ang. *Direct Memory Access*). W układach programowalnych może to następować w sposób ciągle lub synchronicznie z zegarem. Najważniejsze wartości wykorzystywane w kaskadowych procesach (np. regulacja kilku sygnałów przekształtnika przez jeden fizyczny regulator PI), należy zapamiętywać tylko w określonych chwilach czasowych. Tego typu operacje zapobiegają zapamiętywaniu błędnych danych, wynikających z poprzedniego cyklu obliczeniowego lub w trakcie obecnego. Warto tym celu wykorzystać narzędzia symulacyjne do sprawdzenia spójności danych w syntezie logicznej.

Badania eksperymentalne

Przedstawione w tym rozdziale wyniki badań laboratoryjnych sterownika zrealizowanego na platformie FPGA (rys.11b) zostały bezpośrednio skonfrontowane z wynikami uzyskanymi dla sterownika DSP (rys.11a), który był wykonany w ramach wspomnianego wcześniej projektu badawczego. W tabeli 4 podsumowano najistotniejsze z punktu widzenia wielomodułowych przekształtników właściwości obydwu rodzajów sterowników.

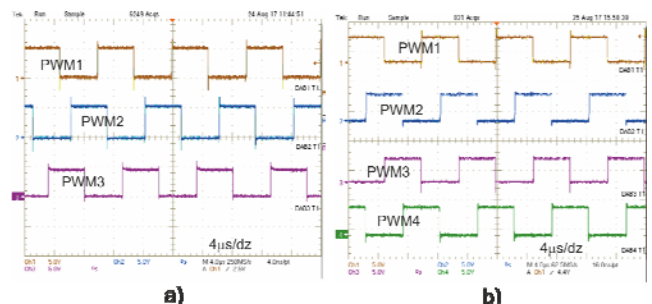


Rys.11. Realizacja sterownika wielomodułowego układu DC/DC w wersji 3xDSP (a) i FPGA (b)

Tabela 4. Porównanie parametrów sterowników DSP i FPGA

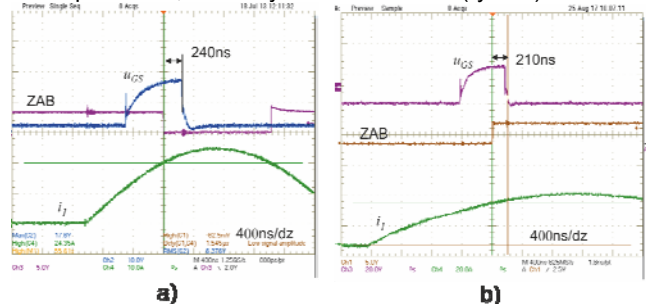
Cecha	DSP (TMS28335)	FPGA (Cyclone IV EP4CE22F17C6N)
Częstotliwość taktowania	150 MHz	400 MHz, 50 MHz, 10 MHz
Rozdzielczość PWM	6,67 ns	2,5 ns
Liczba wyjść PWM	18	71/153
Liczba kanałów A/C	16	8
Częstotliwość/rozdzielczość przetwornika A/C	12,5 MSPS /12bit	200 KSPS /12bit ³
Realizacja zabezpieczeń	sprzętowa	sprzętowa
Napięcie rdzenia	1,9V/1,8 V	1,2 V
Zużycie energii	3.265 W	2,05W

Dla celów demonstracyjnych wykonano oscylogramy pokazujące przebiegi sygnałów PWM dla układu sterowania zrealizowanych na DSP oraz FPGA (rys.12). Przedstawiono sygnały sterujące tranzystorem T1 dla każdego modułu (rys.3), przesunięte o stały, równy kąt. Dla układu z trójmodułowym zastosowano przesunięcia co 120° el. (tzw. tryb trójfazowy), a dla czteromodułowego co 90° el.. W porównaniu do FPGA, układ DSP nie jest w stanie zrealizować równych przesunięć dla więcej niż 3-modułów ze względu na ograniczenia sprzętowe.



Rys.12. Sygnały sterujące tranzystorami T1 w przekształtnikach DAB dla układu trójmodułowego (DSP) (a) i czteromodułowego (FPGA) (b)

O szybkości zadziałania zabezpieczenia decyduje czas od wykrycia sygnału zabezpieczającego do chwili wyłączenia sygnałów sterujących brankami tranzystorów. W FPGA, wykorzystany jest przerzutnik reagujący na sygnał wyzwalający, dzięki temu osiągnięto czas ok. 2,5-5 ns. W przypadku procesora DSP i zastosowania tzw. trybu *trip zone*, również istnieje możliwość znacznego przyspieszenia wyłączenia sygnałów PWM. Pozwala to na wyłączenie sygnałów sterujących w chwili wystąpienia zdarzenia, pomijając pracę jednostki CPU. Mimo szybkich procedur wyłączenia, decydującą rolę odgrywa sygnał zegarowy. W obydwu przypadkach najistotniejsze jest opóźnienie sygnału PWM w sterownikach brankowych tranzystorów (ok. 200 ns dla IXDN614), dlatego w pomiarach uzyskano zbliżone czasy zadziałania zabezpieczenia, na korzyść układu FPGA (rys.13).

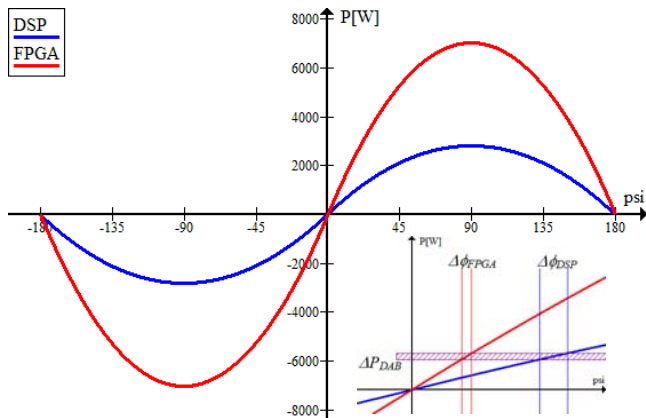


Rys.13. Oscylogramy prezentujące działanie zabezpieczenia nadprądowego w układzie DSP (a) i FPGA (b)

³ Przetwornik zewnętrzny, może być dostosowany do potrzeb

Istotnym osiągnięciem w układzie FPGA było ponad 2,5-krotne zwiększenie rozdzielczości sygnałów PWM w stosunku do wersji DSP. Oznacza to, że dla układu programowalnego możliwe jest bardziej dokładne regulowanie mocą przekształtnika lub ponad 2-krotny wzrost mocy maksymalnej układu DAB z zachowaniem tej samej rozdzielczości regulacji mocy ($\Delta P_{DAB} = 14$ W dla modelu laboratoryjnego DAB o mocy ok. 3kW, przedstawionego w [8]). ΔP_{DAB} to minimalny skok mocy przekształcanej, odpowiadający rozdzielczości PWM 6,66ns (DSP), co dla okresu $T_s=10$ μ s odpowiada wartości $\Delta\varphi=0,24^\circ$ el. Zgodnie z zależnościami (32) i (33) z [15] dla rozdzielczości PWM 2,5 ns ($\Delta\varphi_{FPGA}=0,09^\circ$ el.), osiągniętej w układzie FPGA, tę samą rozdzielczość regulacji mocy ΔP_{DAB} można uzyskać w przekształtniku o znamionowej mocy $P_{DAB} = 7$ kW (rys.14). Drugim istotnym rezultatem może być podniesienie częstotliwości przełączania tranzystorów w przekształtniku do 250kHz przy zachowaniu takiej samej dynamiki charakterystyki sterowania jak w układzie DSP dla częstotliwości 100kHz [15]. Zwiększenie częstotliwości przełączania umożliwia znacznie zmniejszyć wartości filtrów na wejściu i wyjściu przekształtnika.

W najbliższym czasie planowane są badania sterownika FPGA z trójmodułowym przekształtnikiem DC//DC w konfiguracji równoległej i szeregowo-równoległej w warunkach znamionowych



Rys.14. Charakterystyki sterowania przekształtnikiem DAB dla układu DSP i FPGA przy takiej samej rozdzielczości $\Delta P_{DAB} = 14$ W

Podsumowanie

W ramach niniejszej pracy zaproponowano i zrealizowano zaawansowany sterownik czteromodułowego dwukierunkowego przekształtnika DC//DC z układami typu DAB. Przedstawiono sposób realizacji takiego sterownika na układzie FPGA, z uwzględnieniem możliwości rozbudowania przekształtnika o kolejne moduły. Przedstawiono zdolności obliczeniowe w przypadku zwiększenia częstotliwości przełączania tranzystorów f_s . Sposób doboru liczby modułów oraz częstotliwości f_s może być w sposób elastyczny dopasowywany do potrzeb projektanta. Omawiane właściwości sterownika skonfrontowano z opracowanym wcześniej rozwiązaniem wykorzystującym procesory DSP. Pokazano przy tym przewagę układu FPGA nad sterownikiem DSP w zastosowaniu do modułowych przekształtników o dużej liczbie łączników. Różnice w sposobie realizacji sterownika

wskazują, iż sterownik bazujący na układzie programowalnym cechuje się lepszymi osiągnięciami (zwiększenie rozdzielczości sygnałów PWM) i umożliwia stosunkowo prostą rozbudowę sterownika do obsługi kilkunastu modułów DAB bez zmiany układu programowalnego. Stanowi to uzasadniony wybór układu FPGA dla omawianego typu przekształtników.

Praca naukowa współfinansowana ze środków na działalność statutową Wydziału Elektrycznego Politechniki Warszawskiej w roku 2017.

Autorzy: dr inż. Piotr Grzejszczak, student inż. Marek Szymczak, prof. dr hab. inż. Roman Barlik, Politechnika Warszawska, Instytut Sterowania i Elektroniki Przemysłowej, ul. Koszykowa 75, 00-662 Warszawa, E-mail: piotr.grzejszczak@ee.pw.edu.pl.

LITERATURA

- [1] Kumar D., Zare F., Ghosh A., DC Microgrid Technology: System Architectures, AC Grid Interfaces, Grounding Schemes, Power Quality, Communication Networks, Applications and Standardizations Aspects, *IEEE Access*, 2016, no. 99, 1-25
- [2] Wunder B., Ott L., Kaiser J., Han Y., Fersterra F., März M., Overview of different topologies and control strategies for DC micro grids, 2015 IEEE First International Conference on DC Microgrids, Atlanta, 2015, 349-354
- [3] Chen W., Ruan X., Yan H., Tse C. K., DC/DC Conversion Systems Consisting of Multiple Converter Modules: Stability, Control, and Experimental Verifications, *IEEE Transactions on Power Electronics*, 24(2009), no. 6, 1463-1474
- [4] Grzejszczak P., Barlik R., Nowak M., Wolski K., Bidirectional modular DC/DC converter for directcurrent microgrids, 2017 Progress in Applied Electrical Engineering (PAEE), Koscielisko, 2017, 1-7.
- [5] Lian Y., Holliday D., Finney S., Modular input-parallel-output-series DC/DC converter control with fault detection and redundancy, 11th IET International Conference on AC and DC Power Transmission, Birmingham, 2015, 1-8.
- [6] Zhao B., Yu Q., Sun W., Extended-Phase-Shift Control of Isolated Bidirectional DC-DC Converter for Power Distribution in Microgrid, *IEEE Transactions on Power Electronics*, 27(2012), no. 11, 4667-4680
- [7] Zhao B., Song Q., Liu W., Sun Y., Overview of Dual-Active-Bridge Isolated Bidirectional DC-DC Converter for High-Frequency-Link Power-Conversion System, *IEEE Transactions on Power Electronics*, 29(2014), no. 8, 4091-4106
- [8] Grzejszczak P., Nowak M., Barlik R., Wysocki R., Kozdrój K., Budowa i badania wielomodułowego przekształtnika DC/DC, XI krajowa Konferencja Naukowa SENE, Łódź, 2013, 1-6
- [9] Nowak M., Grzejszczak P., Wysocki R., Barlik R., Sterowanie wielomodułowego, transformatorowego przekształtnika dc/dc o dwukierunkowym przepływie energii, *Przegląd Elektrotechniczny*, (2012), nr 12b, 295-298
- [10][online] FPGA vs. DSP Design Reliability and Maintenance, white paper, ver. 1.1, www.altera.com, 2017
- [11][online] DE0-Nano User Manual, www.terasic.com.tw, 2017
- [12][online] TMS320F2833x, TMS320F2823x Digital Signal Controllers (DSCs) datasheet (Rev. N), www.ti.com, 2017
- [13][online] Cyclone IV Device Datasheet, www.altera.com, 2017
- [14][online] MAX 10 FPGA Device Overview, www.altera.com, 2017
- [15] Barlik R., Nowak M., Grzejszczak P., Power transfer analysis in a single phase dual active bridge", *Bulletin of the Polish Academy of Sciences-Technical Sciences*, 61 (2013), nr.4, 809-828