

Optymalizacja układu sterującego w rezonansowym wzmacniaczu w.cz. klasy E

Streszczenie. W referacie omówiono procesy komutacji w tranzystorowym kluczu MOSFET w rezonansowym wzmacniaczu klasy E sterowanym w bramce przebiegiem prostokątnym. Przeprowadzone symulacje oraz rezultaty pomiarów wzmacniacza doświadczalnego o mocy wyjściowej $P_O = 14\text{ W}$ i częstotliwości pracy $f_p = 10\text{ MHz}$ wskazują, że pojemności własne tranzystora, a w szczególności pojemność C_{GD} istotnie wpływają na osiągnięcie przełączania typu ZVS i straty komutacyjne w praktycznym układzie. Otrzymane wyniki badań pozwalają na lepsze dopasowanie bramkowego układu sterującego do parametrów wzmacniacza i zastosowanego klucza tranzystorowego.

Abstract. In the paper switching losses in a Class E amplifier with a MOSFET transistor switch driven with a rectangle wave are discussed. Simulation and measurement results for the Class E amplifier operating at $f_p = 10\text{ MHz}$ with output power $P_O = 14\text{ W}$ have shown that the transistor's internal capacitances and C_{GD} in particular have major influence on the circuit operation in ZVS mode and its switching losses. Obtained results allow optimizing the gate driver by minimizing its cost while maintaining high efficiency of the amplifier. (**Optimization of a rectangle wave gate driver in Class E amplifier.**)

Słowa kluczowe: wzmacniacz klasy E, straty komutacyjne, układ sterujący

Keywords: class E amplifier, rectangle wave gate driver, switching losses in MOSFET

Wprowadzenie

Dążenie do miniaturyzacji urządzeń elektronicznych sprawia, że wiele uwagi poświęca się również doskonaleniu układów przetwarzających energię ze względu na ich szerokie zastosowania obejmujące wiele dziedzin, w tym takie jak przetwornice napięcia stałego, przemysłowe generatory mocy w.cz., układy nadawcze itp. Zwiększenie stopnia miniaturyzacji w układach mocy polega przede wszystkim na podwyższaniu sprawności energetycznej oraz zwiększaniu częstotliwości pracy układów. Pozwala to zredukować gabaryty systemów chłodzenia oraz wymiary stosowanych elementów biernych. Praca układów przetwarzających energię w zakresie coraz wyższych częstotliwości powoduje, że większy wpływ na pracę układu mają również parametry zastosowanych kluczy tranzystorowych, a zwłaszcza ich nieliniowe pojemności międzyelektrodowe. Ograniczenie strat komutacyjnych w kluczu MOSFET wymaga jego szybkiego przełączania, co wiąże się z szybkim przeładowaniem jego pojemności wejściowej. Ważne, zatem staje się doskonalenie układów sterujących, które powinny zapewniać odpowiednie przełączanie klucza tranzystorowego przy jednocześnie małych stratach własnych. W zakresie w.cz. moc sterowania obwodem bramkowym jest istotnym czynnikiem w bilansie mocy strat i wpływa na sprawność energetyczną całego układu [1, 2]. Jednym ze sposobów obniżenia mocy sterowania jest stosowanie tranzystorów kluczujących o obniżonym napięciu progowym tzw. logic level MOSFETs oraz możliwie małych pojemnościach wejściowych. Pozwala to obniżyć zarówno energię gromadzoną w pojemnościach wejściowych tranzystorów jak i wymagane wartości szczytowe prądów bramkowych konieczne dla szybkich przełączeń klucza. Wadą tego rozwiązania jest na ogół większa wrażliwość tranzystorów na oscylacje sygnału sterującego spowodowane przez pasywność obwodów rezonansowe utworzone przez indukcyjności doprowadzeń i pojemności wejściowe tranzystorów oraz pojemności montażowe. Zaletą stosowania kluczy tranzystorowych typu logic level jest możliwość ich sterowania za pomocą wydajnych prądowo bramek logicznych CMOS (np. typu LVC), które mogą być łączone równolegle w celu zwiększenia sumarycznej wydajności prądowej. Ten sposób sterowania kluczy tranzystorowych zyskuje na znaczeniu ze względu na pojawienie się tranzystorów kluczujących typu GaN charakteryzujących się niskim bramkowym napięciem progowym i dobrymi parametrami prądowo-napięciowymi [3].

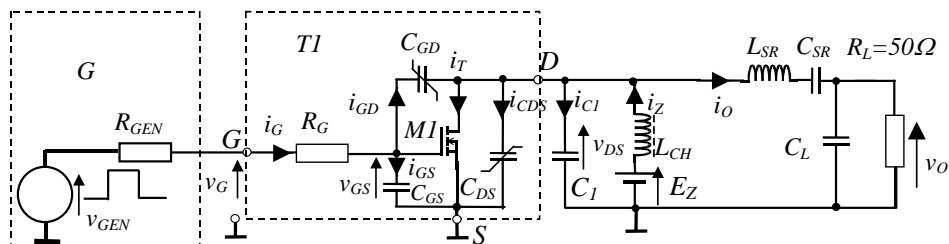
W pracy przedstawiono przebiegi czasowe prądów i napięć otrzymane w wyniku symulacji zaprojektowanego wzmacniacza klasy E z fabrycznym modelem tranzystora HEXFET. Na tej podstawie omówiono wpływ pojemności międzyelektrodowych (a zwłaszcza C_{GD}) klucza MOSFET oraz rezystancji w obwodzie bramki na możliwość uzyskania przebiegów czasowych prądów i napięć zbliżonych do przebiegów teoretycznych dla optymalnego wzmacniacza klasy E. Wykazano, że zjawiska zachodzące w rzeczywistym układzie dość istotnie różnią się od często stosowanego przybliżonego opisu procesów komutacji. Rezultaty symulacji zostały potwierdzone przez przebiegi zmierzone w układzie doświadczalnym. Wnioski z przeprowadzonych badań umożliwiły uproszczenie bramkowego układu sterującego w zaprojektowanym wzmacniaczu redukując liczbę użytych bramek w sterowniku tranzystora z początkowych 16 do 2 bramek zachowując przy tym zarówno praktycznie tę samą moc wyjściową jak i wysoką sprawność energetyczną wzmacniacza (96%).

Opis symulacji układu

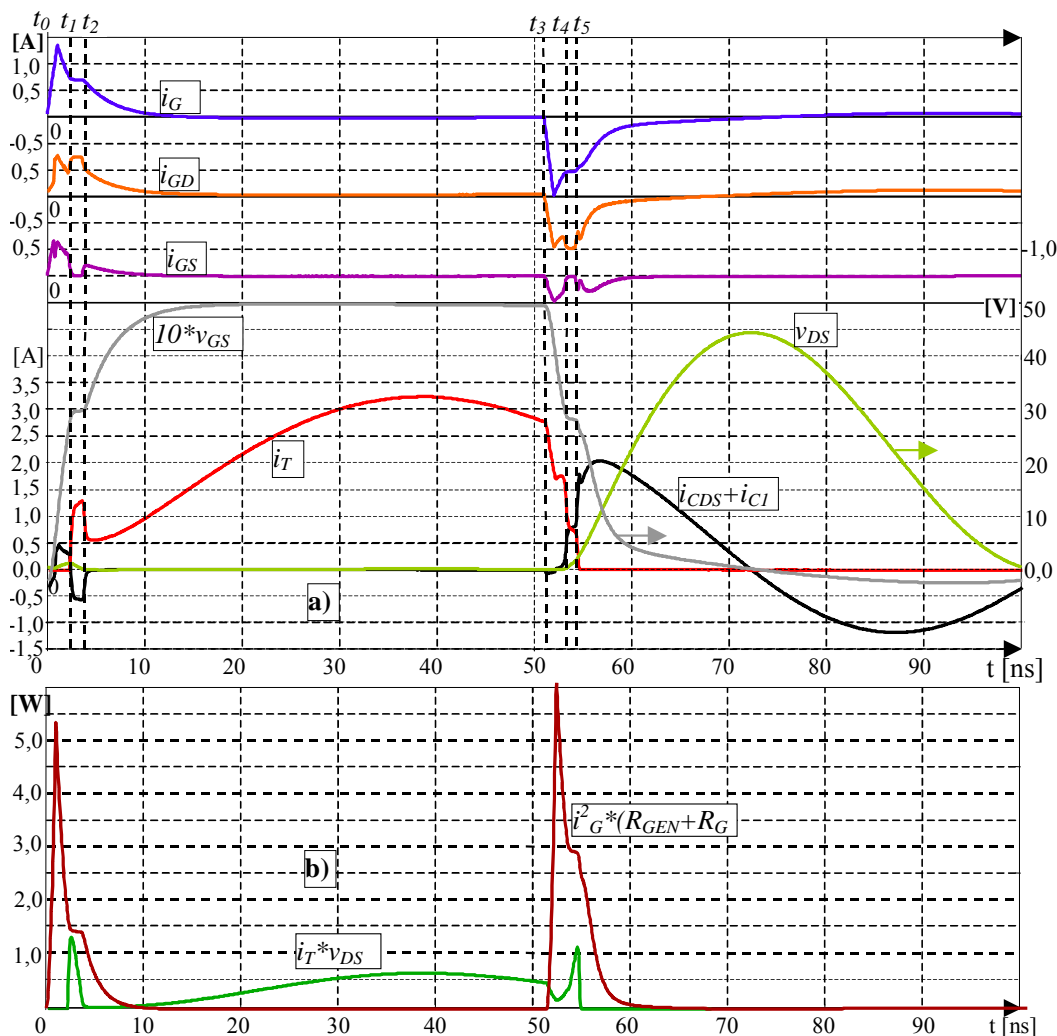
Uproszczony schemat ideowy symulowanego wzmacniacza klasy E ZVS przedstawiono na rysunku 1. Generator G steruje obwodem bramkowym tranzystora $T1$ wytwarzając przebieg prostokątny o parametrach: częstotliwość pracy $f_p = 10\text{ MHz}$, wypełnienie $D = 0,5$, zakres zmian napięcia wyjściowego $v_{GEN} = (0 - 5)\text{ V}$, czasy opadania/narastania $t_n = t_{op} = 1\text{ ns}$. Rezystancja wyjściowa generatora R_{GEN} modeluje przyrostową rezystancję n połączonych równolegle bramek LVC, które użyto jako układ sterujący we wzmacniaczu eksperymentalnym. Wyznaczona doświadczalnie przyrostowa rezystancja pojedynczej bramki $R_{wyB} = 12,8\ \Omega$ i jest zredukowana z dobrym przybliżeniem proporcjonalnie do liczby użytych bramek $R_{GEN} = R_{wyB}/n$. Jako klucz tranzystorowy zastosowano tranzystor HEXFET IRL024Z, którego fabryczny model składa się z tranzystora $M1$ (level 1) opisanego charakterystykami statycznymi oraz nieliniowymi pojemnościami C_{GS} , C_{GD} , C_{DS} . Wzmacniacz klasy E zaprojektowano dla warunków optymalnych w wersji z zasilaniem dławikowym oraz obwodem dopasowującym standardową rezystancję obciążenia $R_L = 50\ \Omega$ dla następujących wartości parametrów: napięcie zasilania $E_Z = 12\text{ V}$, moc wyjściowa $P_O = 14\text{ W}$, $f_p = 10\text{ MHz}$, unormowany czas włączenia klucza

$D=0,5$, dobroć $Q_0=5$ gałęzi szeregowej $L_{SR} - C_{SR} - R_{SR}$, $\eta_D=0,95$ - założona sprawność drenowa. Obliczone wartości elementów [4] wynosiły: $R_{SR}=0,5768 \cdot E_Z^2 \cdot \eta_D / P_O = 0,5768 \cdot 12^2 \cdot 0,95 / 14 = 5,64 \Omega$ - szeregową rezystancją obciążenia wzmacniacza, $C_I = 0,1836 / (2\pi f_p \cdot R_{SR}) = 0,1836 / (2\pi \cdot 10^7 \cdot 5,64) = 518,1$ pF, $L_{SR} = (Q_0 + 1) \cdot 1,525 \times R_{SR} / (2\pi f_p) = 6,1525 \cdot 5,64 / (2\pi \cdot 10^7) = 552,3$ nH, $q = (R_I / R_{SR} - 1)^{0,5} = (50 / 5,64 - 1)^{0,5} = 2,805$ - współczynnik reaktancyjności dwójnika $C_L - R_L$, $C_L = q / (2\pi f_p \cdot R_L) = 2,805 / (2\pi \cdot 10^7 \cdot 50) = 0,892$ nF, $C_{SR} = 1 / (2\pi f_p (Q_0 - q) R_{SR}) = 1 / (2\pi \cdot 10^7 \cdot (5 - 2,805) \cdot 5,64) = 1,286$ nF. Przyjęto wstępnie do symulacji, że $R_{GEN} = 0,8 \Omega$, co odpowiada równoległemu połączeniu 16 bramek LVC i zapewnia, z dobrym

przybliżeniem, prostokątny przebieg napięcia $v_G(t)$ w przypadku wybranego tranzystora IRL024Z. Dla zapewnienia warunków pracy symulowanego wzmacniacza możliwie zbliżonych do optymalnych dla klasy E konieczne było uwzględnienie wpływu nieliniowych pojemności klucza tranzystorowego i skończonej dobroci gałęzi $L_{SR} - C_{SR}$. Wymagało to skorygowania wartości pojemności C_I i indukcyjności L_{SR} , odpowiednio $C_I = 477$ pF oraz $L_{SR} = 557,2$ nH, co zapewniło uzyskanie założonej mocy wyjściowej oraz wartość napięcia drenowego $v_{DS}(t=0) = 0$ w chwili rozpoczęcia procesu włączania tranzystora.



Rys.1. Uproszczony schemat ideowy wzmacniacza klasy E: G – generator sterujący, R_{GEN} - zastępcza rezystancja wyjściowa generatora, TI - klucz tranzystorowy (IRLL024Z -Infineon), C_{GS} , C_{GD} , C_{DS} - pojemności międzyelektrodowe tranzystora TI, MI- tranzystor opisany chakami statycznymi, R_G - rezystancja strat bramki tranzystora TI, L_{CH} - indukcyjność dławika zasilania, C_I , C_{SR} , L_{SR} , C_L , R_L - elementy obwodu rezonansowego wzmacniacza

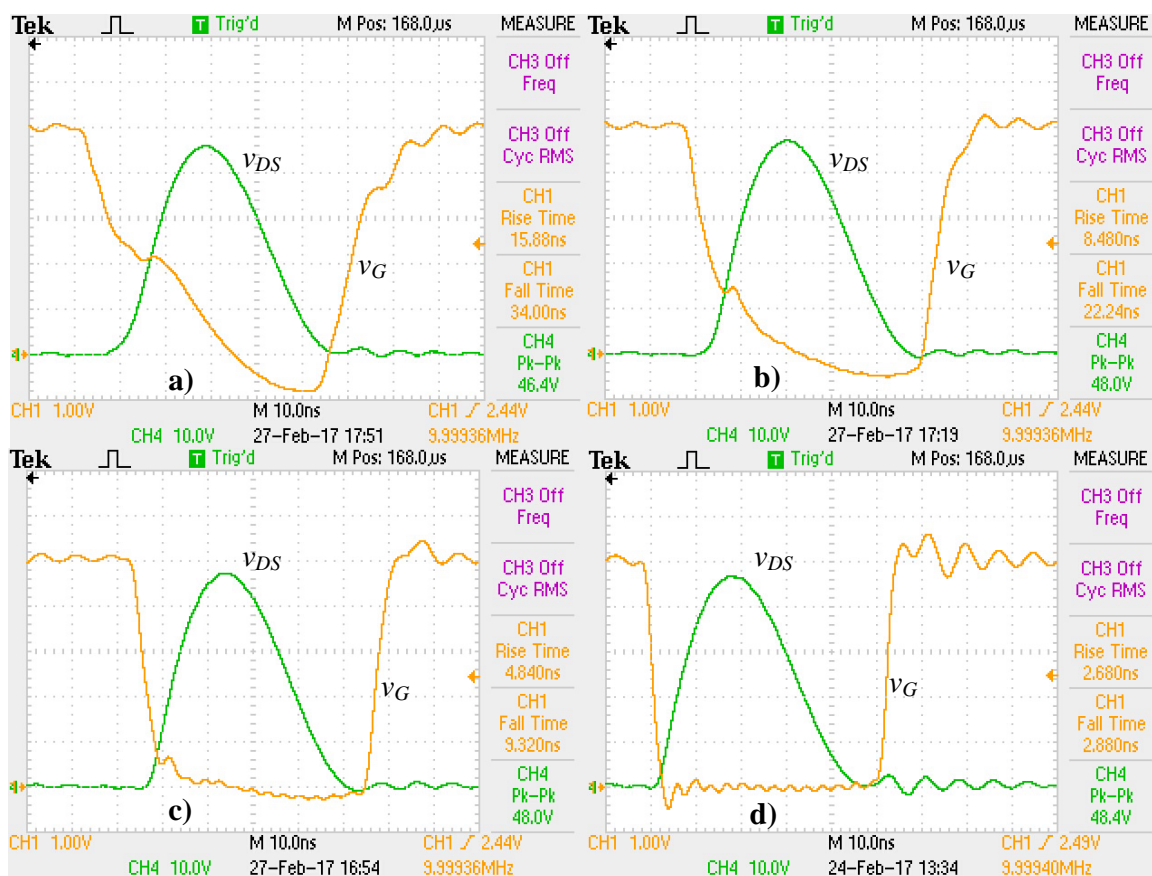


Rys.2. Symulowane przebiegi czasowe prądów i napięć (a) oraz chwilowa moc strat (b) w zaprojektowanym wzmacniaczu klasy E z rysunku 1 dla $R_{GEN}=0,8 \Omega$; a) przebiegi wg. oznaczeń jak na rysunku 1, b) $i_G^2 \cdot (R_{GEN} + R_G)$ - chwilowa moc strat w rezystancji obwodu bramkowego, $i_T \cdot v_{DS}$ - chwilowa moc strat w kanale tranzystora TI

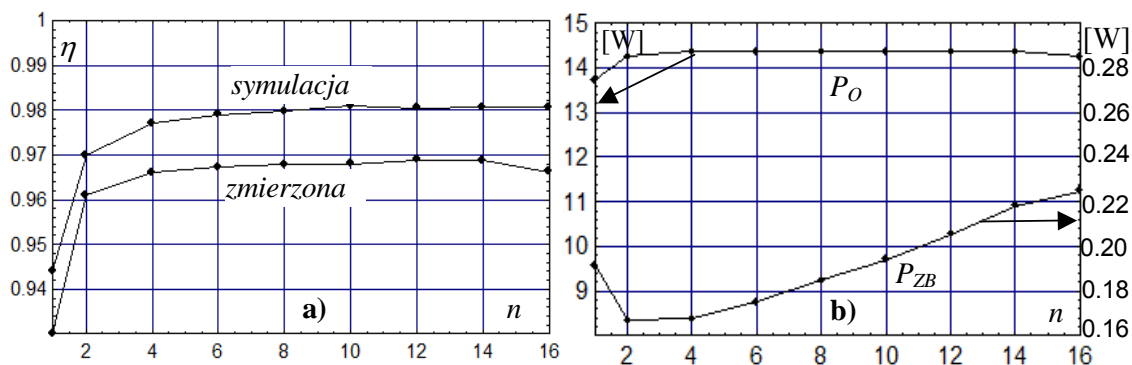
Przebiegi czasowe prądów i napięć we wzmacniaczu pracującym w stanie optymalnym otrzymane w wyniku symulacji programem PSpice przedstawiono na rysunku 2. W przebiegu napięcia $v_{GS}(t)$ występuje charakterystyczny "schodek" zarówno w czasie włączania jak i wyłączenia klucza TI świadczący o występowaniu efektu Millera związanego z chwilową pracą tranzystora w stanie aktywnym i stratami komutacyjnymi. Straty komutacyjne w czasie włączania klucza spowodowane są zgromadzeniem ładunku w pojemnościach $C_{DS}+C_I$ w czasie, gdy klucz jest wyłączony, a napięcie $v_{GS}(t)$ narasta (przedział $\langle 0; t_1 \rangle$). Ładowanie $C_{DS}+C_I$ odbywa się wtedy częściowo prądem bramki $i_{GD}=i_G - i_{GS}$ płynącym przez C_{GD} oraz dopływającym z obwodu rezonansowego prądem $i_Z - i_O$. W przedziale czasowym $\langle t_2; t_3 \rangle$ TI jest włączony oraz $v_{DS}(t) = i_T \times r_{DS(on)}$ ($r_{DS(on)}$ - rezystancja kanału TI w stanie włączenia). Proces wyłączenia tranzystora rozpoczyna się od opadania napięcia $v_{GS}(t)$ (przedział $\langle t_3; t_4 \rangle$), co powoduje rozładowywanie pojemności C_{GS} oraz przeładowanie pojemności C_{GD} ($v_{DS}(t) \approx 0$, $i_{CDS}+i_{CI} = 0$). Przepływ ujemnego prądu i_{GD} przez pojemność C_{GD} powoduje istotne zmniejszenie się prądu i_T w kanale tranzystora, ponieważ $i_Z - i_O + i_{GD} = i_T$. Dalsze zmniejszanie się prądu i_T następuje w przedziale $\langle t_4; t_5 \rangle$, gdy pojawia się efekt Millera i pojemność C_{GD} jest przeładowywana stałym prądem bramkowym $i_G(t) = const. = i_{GD}(t) = -V_{GS2}/(R_{GEN}+R_G) = -C_{GD}dv_{DS}(t)/dt$ ($V_{GS2} = const.$ napięcie bramkowe w przedziale $\langle t_4; t_5 \rangle$). Jednocześnie rozpoczyna się ładowanie pojemności $C_{DS}+C_I$ prądem $i_{CDS}+i_{CI} = i_Z - i_O - i_T + i_{GD}$ ($v_{DS}(t) > 0$). Szybkość narastania napięcia $v_{DS}(t)$ w czasie $\langle t_4; t_5 \rangle$ jest zmniejszona wskutek niezerowych prądów i_T oraz i_{GD} , które odejmują się od prądu $i_Z - i_O$. Rosnące napięcie $v_{DS}(t)$ powoduje również, że maleje silnie nieliniowa pojemność C_{GD} , co sprawia, że dla chwili $t > t_5$ zmniejsza się

zarówno prąd $i_{GD}(t) = -C_{GD}dv_{DS}(t)/dt$ jak i napięcie $v_{GS}(t)$ na pojemności C_{GS} rozładowywanej prądem $i_{GS}(t) = v_{GS}(t)/(R_{GEN}+R_G) - i_{GD}(t)$. Obniżanie się napięcia bramkowego $v_{GS}(t)$ sprawia, że prąd $i_T \approx g_{FS} \times (v_{GS}(t) - V_{GS(th)})$ w kanale tranzystora szybko maleje do zera i następuje wyłączenie klucza (g_{FS} - transkonduktancja tranzystora). Ponieważ opadanie prądu i_T zwykle trwa krótko, głównym czynnikiem strat komutacyjnych wyłączenia są straty w przedziale $\langle t_4; t_5 \rangle$ spowodowane efektem Millera, gdy prąd drenu jest praktycznie stały i ma wartość znacznie mniejszą niż w chwili t_3 , gdy rozpoczyna się proces wyłączenia tranzystora. Jest to istotna różnica w stosunku do uproszczonego modelu strat wyłączenia, w którym zakłada się liniowe opadanie prądu drenu od wartości bliskiej $i_T(t=t_3)$ i jednoczesne narastanie napięcia drenowego $v_{DS}(t)$ [4, 5, 6].

Należy zauważyć, że w układach eksperymentalnych ze wzmacniaczem klasy E, gdy rezystancja źródła sterującego $R_{GEN} \ll R_G$ to w przebiegu czasowym napięcia $v_G(t)$, trudno dostrzec występowanie "efektu Millera" (rys.3d). Jest to wynik spadku napięcia $i_G(t) \cdot R_G$ na rezystancji strat bramki, który sprawia, że przebieg $v_G(t)$ różni się istotnie od $v_{GS}(t)$. Prowadzi to czasami do niesłusznego wniosku, że "zjawisko Millera" nie występuje w badanym układzie. Przeprowadzone symulacje w zaprojektowanym wzmacniaczu dla różnych wartości rezystancji $R_{GEN}+R_G$ w obwodzie bramki pozwoliły stwierdzić, że zjawisko to występuje w czasie wyłączenia tranzystora praktycznie zawsze i wynika z obecności pojemności C_{GD} . Pozwala to stwierdzić, że w badanym układzie C_{GD} ma istotny wpływ na komutacyjne straty mocy w układzie oraz straty z przewodzenia prądu w obwodzie bramkowym.



Rys.3. Zmierzone przebiegi czasowe $v_G(t)$ oraz $v_{DS}(t)$ w zbudowanym wzmacniaczu klasy E dla różnej liczby n połączonych równolegle bramek sterujących tranzystorem TI ; a) $n=1$, b) $n=2$, c) $n=4$, d) $n=16$



Rys.4. Charakterystyki drenowej sprawności energetycznej η wzmacniacza (a) oraz zmierzone ch-ki mocy wyjściowej P_o wzmacniacza i mocy zasilania P_{zb} bramek układu sterującego (b) w funkcji n - liczby bramek układu sterującego

Układ doświadczalny - pomiary

Zaprojektowany wzmacniacz klasy E z rysunku 1 zbudowano stosując jako klucz IRL024Z, a jako C_J , C_{SR} , C_L kondensatory ceramiczne C0G SMD 1206 o wartościach zbliżonych do teoretycznych, dławik $L_{CH} = 12,4 \mu\text{H}$ nawinięto na rdzeniu ferrytowym 4C65, zaś cewkę wykonano na rdzeniu proszkowym T94-6. Generator G zbudowano łącząc równolegle n bramek z układów 74LVC2G34 SOT26 zawierających dwie bramki logiczne każdy. Połączone wspólnie wejścia bramek sterowano sygnałem TTL z generatora w.cz.

Przykładowe zmierzone oscylogramy przebiegów czasowych $v_G(t)$ oraz $v_{DS}(t)$ pokazano na rysunku 3. Widoczny na rysunku 3a - 3c "schodek" w przebiegu sterującym $v_G(t)$ wskazuje na występowaniu efektu Millera we wzmacniaczu zarówno przy włączaniu jak i wyłączeniu klucza. Efekt ten jest niewidoczny na rysunku 3d, gdy rezystancja układu sterującego $R_{GEN} = 0,8 \Omega$ jest znacznie mniejsza od rezystancji R_G bramki tranzystora ($R_G = 2,045 \Omega$ - odczytane z danych modelu IRL024Z). Widoczne oddziaływanie pojemności C_{GD} na obwód bramkowy tranzystora przejawia się również w ujemnym napięciu $v_G(t)$, które powstaje w czasie opadania napięcia $v_{DS}(t)$, gdy maleje również napięcie $v_{GD}(t)$ i część prądu i_{GD} rozładowującego pojemność C_{GD} przepływa przez rezystancję R_{GEN} powodując powstanie na nim ujemnego spadku napięcia. Na podstawie wykresu (rys.4a) sprawności energetycznej wzmacniacza i jego mocy wyjściowej (rys.4b) w funkcji liczby bramek n zastosowanych w układzie sterującym można stwierdzić, że wzmacniacz pracuje poprawnie już przy $n = 2$ uzyskując jeszcze nieznaczną poprawę sprawności dla $n = 4$. Dalsze zwiększanie liczby bramek nie poprawia praktycznie parametrów energetycznych wzmacniacza.

Wnioski

W pracy wykazano, że wymagania stawiane bramkowym układom sterującym dotyczące ich wysokiej wydajności prądowej wynikają przede wszystkim z przepływu przez pojemność C_{GD} do obwodu bramki tranzystora prądu i_{GD} z obwodu wyjściowego wzmacniacza. Wartość szczytowa prądu i_{GD} może być stosunkowo duża i może znacząco zredukować prąd i_T płynący w kanale tranzystora w chwili jego wyłączania. Powoduje to zmniejszenie strat komutacyjnych wyłączania tranzystora kosztem jednak

zwiększania wymaganej wydajności prądowej układu sterującego oraz wzrostu strat z przewodzenia prądu w obwodzie bramkowym. Przeprowadzone symulacje oraz pomiary układu eksperymentalnego wykazały ponadto, że nie jest celowe sterowanie klucza we wzmacniaczu klasy E przebiegiem $v_G(t)$ nadmiernie zbliżonym do prostokątnego, gdyż wynikający stąd wzrost amplitudy prądu $i_{GD}(t)$ i wymaganej wydajności prądowej układu sterującego powoduje zwiększenie kosztu układu sterującego nie dając przy tym zauważalnego zysku w postaci obniżenia strat mocy czy wzrostu sprawności energetycznej. Ocena czy zastosowany układ sterujący jest optymalny z punktu widzenia uzyskiwanej sprawności energetycznej wzmacniacza i kosztu budowy układu sterującego może zostać dokonana przez zbadanie zależności mocy wyjściowej lub sprawności wzmacniacza w funkcji wydajności prądowej (rezystancji wyjściowej) układu sterującego. Przeprowadzone badania mogą być też pomocne przy dokładniejszym analitycznym opisie strat komutacyjnych we wzmacniaczu klasy E ZVS.

Autor: dr inż. Mirosław Mikołajewski, Politechnika Warszawska, Instytut Radioelektroniki i Technik Multimedialnych, ul. Nowowiejska 15/19, 00-665 Warszawa, E-mail: M.Mikolajewski@ire.pw.edu.pl

LITERATURA

- [1] Legutko P., Wysokoczęstotliwościowe drajwery tranzystorów MOSFET mocy, *Przegląd Elektrotechniczny*, Nr 5 (2014), 229-235
- [2] Tatsuta T., Ishitani Y., Suetsugu T., Gate power loss of Class E amplifier with rectangular wave gate drive, *TENCON 2010*, 1784-1787
- [3] Strona internetowa f-my GaN Systems: www.gansystems.com
- [4] Kazimierczuk M.K., Czarowski D., Resonant Power Converters, Second Edition, J. Wiley, 349-354, 2011
- [5] Modzelewski J., Efekt Millera w rezonansowych wzmacniaczach mocy wielkiej częstotliwości klasy DE i klasy E, *IKKE*, 325-329, Kołobrzeg, 2003
- [6] Kasprzak M., Kaczmarczyk Z., Legutko P., Wysokoczęstotliwościowe falowniki rezonansowe klasy DE i E - modelowanie, sterowanie, zastosowania, *Elektryka*, z. 4 (236) (2015), r. LXI, 69-80
- [7] Grzejszczak P., Opis procesu wyłączania tranzystora MOSFET w przekształtnikach wysokiej częstotliwości, *Przegląd Elektrotechniczny*, Nr 5 (2016), 171-174