

## Zastosowanie dielektryków high-k w przyrządach mocy wytwarzanych w technologii węgliku krzemu

**Streszczenie.** W artykule omówiono zalety zastosowania warstw dielektrycznych o wysokim współczynniku przenikalności elektrycznej osadzanych techniką ALD (ang. Atomic Layer Deposition) i praktyczne aspekty ich wykorzystania w przyrządach mocy typu MOSFET wytwarzanych w technologii węgliku krzemu (SiC).

**Abstract.** This article describes the benefits of high-k dielectrics' application in silicon carbide (SiC) technology aimed for production of power MOSFETs. The importance of the finding a new dielectric material for SiC MIS structures is explained and the main application problems are discussed. The stacked dielectric layers of Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> and ZrO<sub>2</sub>/SiO<sub>2</sub> manufactured by atomic layer deposition technique (ALD) on 4H-SiC substrates are then investigated by means of electrical methods useful in power device technology. (**Application of high-k dielectric films in silicon carbide power devices**).

**Słowa kluczowe:** high-k, węgiel krzemu, SiC, MOSFET, przyrządy mocy  
**Keywords:** high-k, silicon carbide, SiC, MOSFET, power devices

### Wprowadzenie

Dielektryki o wysokiej przenikalności elektrycznej (tzw. *high-k*) od dłuższego czasu są analizowane jako potencjalny dielektryk bramkowy w przyrządach typu MIS, w szczególności w tranzystorach MOSFET [1]. Ich wykorzystanie wiąże się głównie z postępującą miniaturyzacją tranzystorów MOSFET wykonywanych w technologii krzemowej, która prowadzi także do skalowania grubości dielektryków bramkowych. We współczesnych technologiach mikroelektronicznych istotnym problemem staje się prąd upływu dielektryka bramkowego będący efektem tunelowania nośników w warstwach dielektrycznych o malejącej grubości. Podstawowym celem badania dielektryków *high-k* było ich zastosowanie w technologiach CMOS o bardzo małym wymiarze charakterystycznym przy produkcji układów cyfrowych i mikrokontrolerów [2].

Dielektryki *high-k* mogą również znaleźć zastosowanie w technologii przyrządów mocy typu MIS, które charakteryzują się względnie dużą grubością dielektryka bramkowego, gdzie problem prądów tunelowych bramki jest praktycznie pomijalny. W niniejszym artykule omówiono celowość stosowania tego typu materiałów dielektrycznych w konstrukcji bramek tranzystorów mocy wykonanych na węgliku krzemu (SiC) – półprzewodniku, którego zastosowanie w energoelektronice będzie wzrastać w najbliższych latach. Omawiane kwestie zilustrowano na przykładzie wyników uzyskanych dla struktur MOS utworzonych na podłożach 4H-SiC wykorzystujących wybrane dielektryki *high-k*.

### Zastosowanie dielektryków *high-k* w technologii SiC

Technologia węgliku krzemu (SiC) jest rozwijana w ostatnich latach przez czołowych producentów przyrządów mocy ze względu na korzystne właściwości tego półprzewodnika w porównaniu z krzemem. Oprócz dostępnych od pewnego czasu diod SiC przeznaczonych dla układów energoelektronicznych w ofercie zaczynają pojawiać się tranzystory mocy MOSFET przeznaczone głównie do implementacji w energoelektronicznych układach przełączających. Z wielu powodów przyrządy te nie wykorzystują jednak potencjalnych właściwości materiału półprzewodnikowego jakim jest węgiel krzemu, a opierają się w dużej mierze na rozwiązaniach opracowanych uprzednio dla przyrządów mocy w technologii krzemowej.

Jedną z korzystnych cech SiC jest wysoka wartość krytycznego pola elektrycznego definiowana jako wartość pola elektrycznego ( $E_{crit}$ ), przy której w materiale zaczyna zachodzić proces jonizacji zderzeniowej. Wartość ta jest znacznie większa dla SiC w porównaniu z Si, co zilustrowano w tabeli 1. Ponad dziesięciokrotnie większa wytrzymałość materiału półprzewodnikowego na przebicie elektryczne pozwala teoretycznie na wytworzenie przyrządu o lepszych właściwościach niż przyrząd krzemowy – istotnym ograniczeniem jest jednak materiał dielektryka bramkowego. Problem można zilustrować na przykładzie klasycznej konstrukcji tranzystora DMOSFET stosowanej w przyrządach mocy pokazanej na rysunku 1.

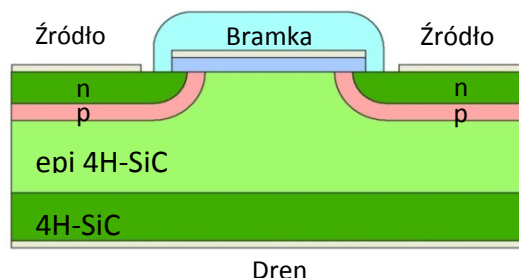
Tabela 1. Właściwości wybranych materiałów półprzewodnikowych i dielektrycznych

Materiał	$\epsilon_r$	$E_{crit}$ [MV/cm]	$E_0$ [MV/cm]	$\epsilon_r E_0$ [MV/cm]
-	-	0,25	0,25	2,98
Si	11,9	0,25	0,25	2,98
SiC	9,66	3	3	30
SiO <sub>2</sub>	3,9	11	2	7,8
Si <sub>3</sub> N <sub>4</sub>	7,5	11	2	15
AlN	8,4	10-12	~3**	~30
Al <sub>2</sub> O <sub>3</sub> *	~7-10	7-9	~3**	~21-30
ZrO <sub>2</sub> *	~16-26	7-15	~3**	~42-78
HfO <sub>2</sub> *	~16-25	3-10	~3 <sup>+</sup>	~42-75

\* materiał amorficzny

\*\* wartość oszacowana z pomiarów prądów F-N

+ wartość z pomiarów struktur HfO<sub>2</sub>/Si



Rys.1. Przekrój przez konstrukcję tranzystora mocy typu DMOSFET wykonanego w technologii SiC

W stanie blokowania napięcie na drenie tranzystora może przyjmować duże wartości względem napięcia bramki. Zgodnie z prawem Gaussa, dla struktury idealnego układu MOS obowiązuje zależność:

$$(1) \quad \nabla \cdot \varepsilon_r \varepsilon_0 \vec{E} = 0$$

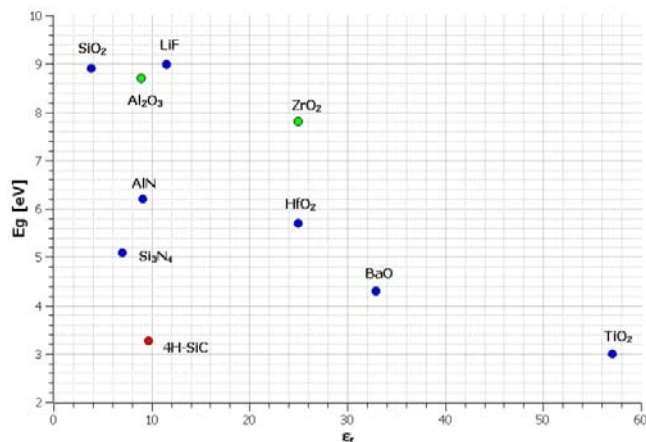
Większa część przyłożonego napięcia odkłada się na materiale o mniejszej przenikalności elektrycznej powodując występowanie w takim materiale wysokiego natężenia pola elektrycznego, co skutkuje szybką degradacją właściwości dielektrycznych w trakcie pracy przyrządu. Jako krytyczne natężenie pola elektrycznego można przyjąć też wartość, przy której w warstwie dielektrycznej zaczyna dominować prąd emisji polowej – przewodnictwo Fowlera-Nordheima (F-N) ponieważ to zjawisko odpowiada za długotrwałą degradację właściwości izolacyjnych warstwy. Parametrem kluczowym decydującym o praktycznej użyteczności materiału dielektrycznego jest iloczyn względnej przenikalności elektrycznej  $\varepsilon_r$  i maksymalnej wartości natężenia pola elektrycznego nie wywołującej jeszcze emisji polowej  $E_0$  [3]. W idealnym przypadku dielektryk bramkowy struktury MOS powinien spełniać warunek:

$$(2) \quad \varepsilon_r E_0 \Big|_{diel.} > \varepsilon_r E_0 \Big|_{4H-SiC}$$

gdy dla dowolnej grubości dielektryka bramkowego nie będzie zachodzić mechanizm emisji polowej powodujący degradację właściwości dielektrycznych, a ograniczenie możliwości blokowania napięcia wynikać będzie z właściwości materiału podłoża.

### Problemy aplikacyjne – szczegóły eksperymentu

Podstawowym problemem przy zastosowaniu dielektryków high-k w technologii węgla krzemu jest zbyt wąska szerokość przerwy energetycznej większości materiałów dielektrycznych w zestawieniu z szeroką przerwą energetyczną SiC, co skutkuje małą wysokością barier dla nośników, a w konsekwencji wysoką upływnością elektryczną warstw dielektrycznych. Na rysunku 2 zaprezentowano zależność szerokości przerwy energetycznej materiału dielektrycznego od jego względnej przenikalności elektrycznej.

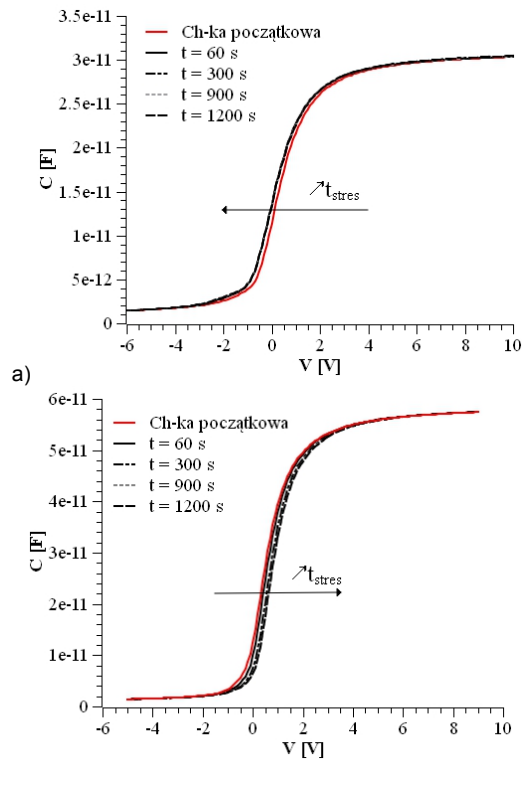


Rys.2. Zestawienie szerokości przerwy energetycznej oraz względnej przenikalności elektrycznej dla typowych dielektryków high-k. Kolor czerwony – zastosowany materiał podłożowy, kolor zielony – zastosowane w eksperymencie dielektryki high-k

Do prac eksperymentalnych wybrano materiały o względnie szerokiej przerwie energetycznej –  $Al_2O_3$  oraz  $ZrO_2$ . W celu ograniczenia wpływu względnie niskich wartości barier potencjału w układzie dielektryk /SiC w eksperymencie wytworzono dielektryki wielowarstwowe na podłożach 4H-SiC (0001) z wytworzonymi warstwami epitaksjalnymi o domieszkowaniu typu n na poziomie  $1 \cdot 10^{16}$

$cm^{-3}$ . Odpowiednio przygotowane podłoża poddano procesowi utleniania termicznego w atmosferze suchego tlenu w temperaturze  $1200^{\circ}C$  wytwarzając w ten sposób tlenek termiczny o grubości ok. 10 nm. Następnie na spodniej stronie podłoża struktury wytworzono kontakt omowy do materiału podłoża po usunięciu warstwy tlenu. Od góry na wytworzone w ten sposób warstwy tlenu osadzono dielektryki high-k metodą ALD (ang. *Atomic Layer Deposition*) o grubości ok. 50 nm stosując jako prekursorzy tetrakis(dimetyloamido)cyrkon(IV), trimetyloglin i wodę dejonizowaną.

Warstwy high-k osadzano w temperaturze  $200^{\circ}C$ . Zmierzone elipsometrycznie grubości warstw wynosiły 9,1/49 nm dla układu  $SiO_2/Al_2O_3$  oraz 8,8/53 nm dla układu  $SiO_2/ZrO_2$ . Na wytworzonych warstwach dielektrycznych osadzono warstwę aluminium, w której wykonano odwzorowanie struktur testowych kondensatorów MOS z bramką o przekroju kołowym o różnej średnicy – do pomiarów charakterystyk CV wykorzystywano kondensatory o średnicy 200  $\mu m$ , natomiast do pomiarów charakterystyk IV kondensatory o średnicy 50  $\mu m$ . Charakterystykę CV oraz IV wykonano na ostrzowym stanowisku pomiarowym z wykorzystaniem miernika Kithley 4200. Pomiar CV wykonano przy wykorzystaniu sygnału pomiarowego o częstotliwości 1 MHz.



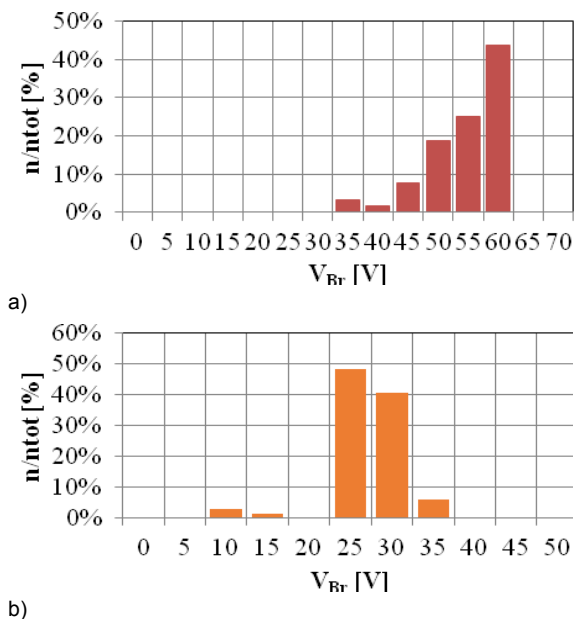
Rys.3. Zmierzone charakterystyki CV w funkcji długości narażenia na stres napięciowy w zakresie zubożenia dla warstw  $Al_2O_3/SiO_2$  (a) oraz  $ZrO_2/SiO_2$  (b). Linia czerwona zaznacza charakterystykę początkową mierzona od akumulacji do zubożenia, strzałka oznacza kierunek przesuwania się charakterystyki CV w funkcji długości stresu napięciowego

### Wyniki pomiarów i dyskusja

Charakterystykę elektryczną struktur testowych rozpoczęto od pomiaru charakterystyk pojemnościowo-napięciowych. Pomiar był wykonywany od akumulacji do zubożenia (pomiar poprzedzony został 5 min. okresem polaryzacji w akumulacji w celu naładowania występujących w strukturze stanów pułpkowych). Po zmierzeniu

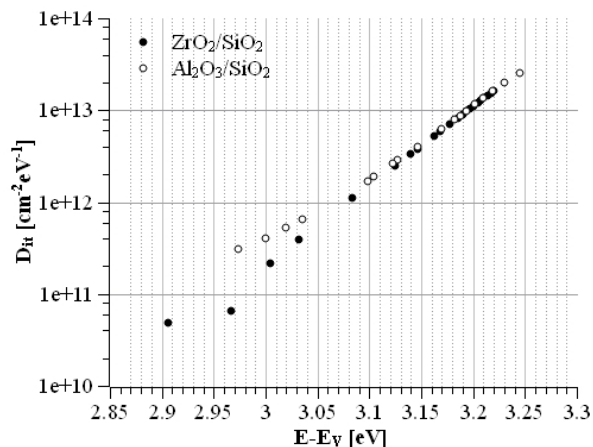
charakterystyki od akumulacji do zubożenia polaryzacja struktury była utrzymywana przez różną długość czasu. Przy takich warunkach polaryzacji zachodzi proces emisji ładunku zgromadzonego w stanach pułpkowych. Następnie wykonywany był pomiar powrotny od zubożenia do akumulacji. Wyniki pomiarów zaprezentowano na rysunku 3.

Na podstawie zmierzonych pojemności w stanie akumulacji oraz wyznaczonych grubości warstw obliczono względną przenikalność elektryczną warstw high-k, która wynosiła odpowiednio 7,3 dla warstwy  $\text{Al}_2\text{O}_3$  oraz 20,5 dla warstwy  $\text{ZrO}_2$ . Obie uzyskane wartości mieszczą się w zakresie wartości uzyskiwanych dla warstw amorficznych wykonywanych za pomocą techniki ALD.

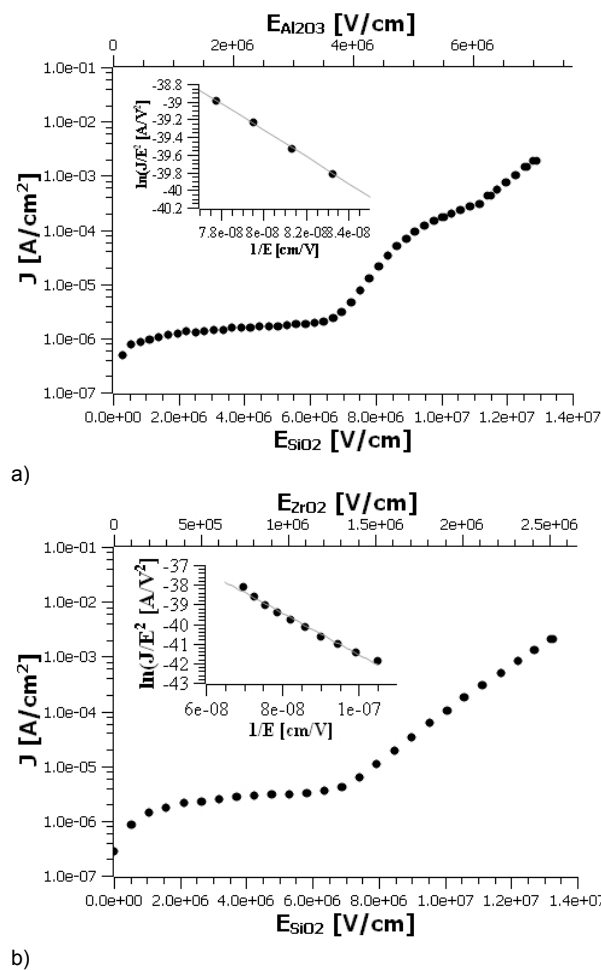


Rys.4. Histogramy rozrzutu statystycznego uzyskanych wartości napięcia przebicia dla warstw  $\text{Al}_2\text{O}_3/\text{SiO}_2$  (a) oraz  $\text{ZrO}_2/\text{SiO}_2$  (b)

Następnie wykonano serie pomiarów charakterystyki IV wyznaczając napięcia przebicia serii ponad 50 struktur pomiarowych. Na rysunku 4 zaprezentowano histogramy uzyskanych wartości, a za typowe napięcie przebicia przyjęto wartość o największej powtarzalności. Wartości te wynosiły odpowiednio ok. 56 V dla struktur  $\text{Al}_2\text{O}_3/\text{SiO}_2$  oraz ok. 26 V dla struktur  $\text{ZrO}_2/\text{SiO}_2$ . Na podstawie wyznaczonych wcześniej parametrów można obliczyć, że odpowiada to wartościom natężenia pola elektrycznego w warstwach wynoszącym 8,5/15,9 MV/cm w strukturze  $\text{Al}_2\text{O}_3/\text{SiO}_2$  oraz 2,6/13,4 MV/cm w strukturze  $\text{ZrO}_2/\text{SiO}_2$ . Na szczególną uwagę zasługują tutaj wartości natężenia pola elektrycznego uzyskane w warstwach  $\text{SiO}_2$ , które przekraczają znacznie typowe wartości pola krytycznego w tym dielektryku. Taki efekt może być spowodowany wysoką gęstością stanów pułpkowych o charakterze akceptorowym obecnych na granicy dielektryk/półprzewodnik. Gęstość stanów pułpkowych ( $D_{it}$ ) zmierzono na podstawie charakterystyk C-V metodą mieszaną wysoko- i niskoczęstotliwościową (tzw. metodą hi-lo). Obliczoną w ten sposób powierzchnią gęstość stanów pułpkowych w funkcji położenia energetycznego w przerwie zabronionej półprzewodnika pokazano na rysunku 5. Uzyskane gęstości stanów powierzchniowych są typowe dla układu  $\text{SiO}_2/\text{SiC}$  wytwarzanego przy pomocy utleniania suchego i nie zależą od wytworzonej warstwy dielektryka high-k.



Rys.5. Obliczona gęstość stanów powierzchniowych w funkcji położenia energetycznego w przerwie zabronionej względem krawędzi pasma walencyjnego



Rys.6. Typowe charakterystyki przewodnictwa w warstwach  $\text{Al}_2\text{O}_3/\text{SiO}_2$  (a) oraz  $\text{ZrO}_2/\text{SiO}_2$  (b). Wstawka pokazuje wykresy Fowlera-Nordheima dla wysokich wartości natężenia pola elektrycznego

Decydującym etapem technologicznym jest w tym wypadku proces utleniania termicznego, który był identyczny dla obu badanych warstw dielektryków high-k. Na rysunku 6 przedstawiono typowe charakterystyki  $J(E)$  uwzględniające pola elektryczne w każdej z warstw składowych struktury. Zebrane dane poddano analizie mechanizmów przewodnictwa na obecność emisji polowej (mechanizm Fowlera-Nordheima), emisji wspomaganiej termicznie (emisja Schottky'ego) oraz przewodnictwa

Poola-Frankela. Dla obu dielektryków *high-k* czynnikiem ograniczającym właściwości izolacyjne jest przewodnictwo w warstwie SiO<sub>2</sub> wynikające ze zjawiska emisji polowej (FN). Na rysunku 6 przedstawiono typowe charakterystyki IV mierzonych struktur. Wyznaczone z nachylenia zależności  $\ln(J/E^2)$  od  $1/E$  (wstawka na rysunku 6) wartości bariery potencjału, wynoszące odpowiednio 2,32 eV dla struktur Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> oraz 2,33 eV dla struktur ZrO<sub>2</sub>/SiO<sub>2</sub> dla pól większych niż  $1,2 \cdot 10^7$  V/cm, są porównywalne z wartością teoretyczną wynoszącą ok. 2,5 eV. W zakresie niższych wartości natężenia pola elektrycznego nie udało się zidentyfikować jednoznacznie mechanizmu przewodnictwa – prawdopodobnie przewodnictwo ma charakter mieszany wynikający ze złożenia różnych efektów. Obserwowane różnice w wysokości bariery mogą interpretowane jako wpływ wysokiej gęstości stanów pułpkowych w interfejsie SiO<sub>2</sub>/SiC. Maksymalne pole elektryczne w warstwie SiO<sub>2</sub> występuje przy polaryzacji struktury w stanie akumulacji, co biorąc pod uwagę fakt, że w górnej części przerwy energetycznej SiC dominują pułpaki akceptoropodobne powoduje, że wszystkie pułpaki pokazane na rysunku 5 są naładowane. Dodatkowo w warstwach SiO<sub>2</sub> istnieją stany pułpkowe o dużych stałych czasowych położone w pewnej odległości od interfejsu (ang. *Near Interface Traps*). Badania wykazują, że wymiana ładunku z półprzewodnikiem może zachodzić nawet do pułpek położonych do 10 nm w głąb SiO<sub>2</sub> od interfejsu [4]. Oznacza to, że w wytworzonych strukturach może zachodzić również proces tunelowania nośników przez warstwę tlenku do interfejsu dielektryk *high-k*/SiO<sub>2</sub>. Zgromadzony w drugim interfejsie ładunek oddziałuje na powierzchnię półprzewodnika w identyczny sposób jak pułpaki typu NIT. Aby oszacować całkowity ładunek zgromadzony w stanach pułpkowych o wysokich stałych czasowych posłużono się metodyką zaproponowaną przez Fleetwooda [5] na podstawie omówionych wcześniej pomiarów przesunięcia charakterystyk CV. Przyjęto, że wszystkie stany powierzchniowe wyemitowały pułpkowany ładunek, kiedy histereza charakterystyki CV nie zmieniała się wraz ze wzrostem czasu polaryzacji struktury w zakresie zubożenia. Warunki takie występowały dla czasu 1200 s w obu przypadkach. Na tej podstawie obliczono powierzchniową gęstość ładunku zgromadzonego w stanach powierzchniowych o dużej stałej czasowej emisji i ewentualnie obecnego na interfejsie dielektryk *high-k*/SiO<sub>2</sub> uzyskując wartość  $1,9 \cdot 10^{12}$  cm<sup>-2</sup> dla struktur Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> oraz  $-5,3 \cdot 10^{12}$  cm<sup>-2</sup> dla struktur ZrO<sub>2</sub>/SiO<sub>2</sub>. Znak całkowitego przeładowanego w pojedynczym cyklu napięciowym ładunku jest różny pomimo, że warstwy SiO<sub>2</sub> w obu badanych przypadkach były wytwarzane w jednym procesie i są identyczne. Wskutek pułpkowania ładunku przesunięcie charakterystyki CV powinno zachodzić w stronę napięć dodatnich, zatem w warstwie Al<sub>2</sub>O<sub>3</sub> lub w

interfejsie Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> obecny musi być ładunek wbudowany o znaku dodatnim i dużej wartości. Jeżeli za wartość E<sub>0</sub> w SiO<sub>2</sub> przyjąć wartość około 7 MV/cm, przy której rozpoczyna się gwałtowny wzrost przewodnictwa prądu, to wytworzone warstwy charakteryzują się zaproponowanym współczynnikiem niezawodnościowym na poziomie 27,3 MV/cm. Pomimo konieczności zastosowania warstwy przejściowej SiO<sub>2</sub> układ dielektryka dwuwarstwowego wykazuje lepsze właściwości przy zastosowaniu w strukturach MOS na węglu krzemu.

### Podsumowanie

W pracy przedstawiono wyniki badań warstw dielektrycznych *high-k* mogących znaleźć zastosowanie w tranzystorach mocy wykonywanych na węglu krzemu. Pomimo wykorzystania ze względów technologicznych w ich konstrukcji cienkich warstw SiO<sub>2</sub>, dielektryki te wykazują lepsze właściwości pod względem niezawodności w stosunku do klasycznych warstw tlenków bramkowych wykonanych w procesie termicznego utleniania węgla krzemu, nawet przy założeniu znanych z literatury metod modyfikacji właściwości tlenków termicznych.

*Prezentowane wyniki są wynikiem projektu pt. „Nanostruktury tlenkowe do zastosowań w elektronice, optoelektronice i fotowoltaice” finansowanego przez Narodowe Centrum Nauki zgodnie z umową UMO-2012/06/A/ST7/00398.*

**Autorzy:** dr inż. Krystian Król<sup>1</sup>, dr hab inż. Mariusz Sochacki<sup>1</sup>, mgr inż. Norbert Kwietniewski<sup>1</sup>, dr Sylwia Gierattowska<sup>2</sup>, dr Łukasz Wachnicki<sup>2</sup>

<sup>1</sup>Politechnika Warszawska, Instytut Mikroelektroniki i Optoelektroniki, ul. Koszykowa 75, 00-662 Warszawa;

<sup>2</sup>Instytut Fizyki PAN, al. Lotników 32/46, 02-688 Warszawa;

E-mail: [kkrol@imio.pw.edu.pl](mailto:kkrol@imio.pw.edu.pl).

### LITERATURA

- [1] Wright N.G., Poolamai N., Vassilevski K., Horsfall A.B., Johnson C.M., Benefits of High-k Dielectrics in 4H-SiC Trench MOSFETs, *Materials Science Forum*, Vols. 457-460 (2004), 1433-1436
- [2] Clark R.D., Emerging Applications for High K Materials in VLSI Technology, *Materials*, vol. 7 (2014), 2913-2944
- [3] Lipkin L.A., Palmour J.W., Insulator Investigation on SiC for Improved Reliability, *IEEE Trans. Electron Devices*, Vol. 46 (1999), No. 3
- [4] Lenzlinger M., Snow E.H., Fowler-Nordheim Tunneling into Thermally Grown SiO<sub>2</sub>, *Journal of Applied Physics*, Vol. 40 (1969), 278
- [5] Fleetwood D.M., Shaneyfelt M.R., Warren W.L., Schwank J.R., Meisenheimer T.L., Winokur P.S., Border traps: issues for MOS radiation response and long-term reliability, *Microelectron. Reliab.*, v.35 (1995), No 3, 403